

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.

(TRANSLATION)

Japanese Unexamined Patent Publication No. HEI 3-131969

Publication Date : June 5, 1991

---

Application No.: HEI 1-268927

Filing Date : October 18, 1989

Applicant : KABUSHIKI-KAISYA HITACHI SEISAKUSYO  
HITACHI MAXEL KABUSHIKI-KAISYA

Inventor : Mitsuru AKIZAWA et. Al.

---

Title of the Invention : SEARCH METHOD AND SEARCH  
APPARATUS FOR SYMBOL STRINGS

**Remarks:** This reference is discussed in the specification of the subject  
application.

(TRANSLATION)

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-131969

(43)Date of publication of application : 05.06.1991

(51)Int.Cl.

G06F 15/40

(21)Application number : 01-268927

(71)Applicant : HITACHI LTD  
HITACHI MAXELL LTD

(22)Date of filing : 18.10.1989

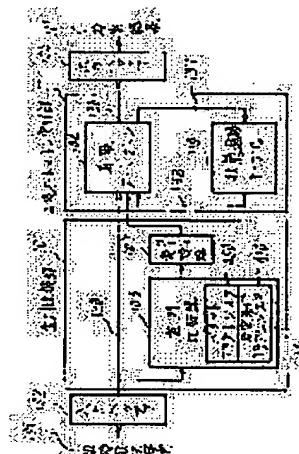
(72)Inventor : AKISAWA MITSURU  
KAWAGUCHI HISAMITSU  
KATO KANJI  
HATAKEYAMA ATSUSHI  
NOGUCHI YOSHIKI  
FUJISAWA HIROMICHI

## (54) METHOD AND DEVICE FOR RETRIEVING CODE STRING

### (57)Abstract:

**PURPOSE:** To attain highly developed fuzzy retrieval and rapid collating processing by referring a valid flag register and a negative condition flag register to execute processing at the time of executing head collating processing by a parallel comparator.

**CONSTITUTION:** The valid flag register 400 and the negative condition flag register 410 for setting up respective flags on optional positions of a partial character string to be set up in the parallel comparator 106 are newly prepared in a parallel comparing part for executing head collating processing. At the time of executing the head collating processing by the parallel comparator 106, respective registers 400, 410 are referred to execute the processing. Since the flexibility of the head collating processing can be improved by this constitution, the parallel comparing part 10 also can execute highly developed fuzzy retrieval such as one-character error retrieval and restricted retrieval similarly to a finite automaton execution part 11 and rapid collating processing can be attained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

平3-131969

⑤Int. Cl.<sup>5</sup>

G 06 F 15/40

識別記号

5 1 0 G

庁内整理番号

7218-5B

⑬公開 平成3年(1991)6月5日

審査請求 未請求 請求項の数 41 (全32頁)

## ⑭発明の名称 記号列検索方法および検索装置

⑮特 願 平1-268927

⑯出 願 平1(1989)10月18日

⑰発明者 秋 沢 充 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑰発明者 川 口 久 光 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑰発明者 加 藤 寛 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑱出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑱出願人 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号  
⑲代理人 弁理士 小川 勝男 外1名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

記号列検索方法および検索装置

## 2. 特許請求の範囲

1. コード表現された記号で構成される被検索記号列中に、複数の検索対象記号列が存在するかどうかを一括して判定するオートマトンを用いた記号列検索方法において、

複数の検索記号列を被検索記号列中から一括して検索する際に、

該検索記号列を任意の位置で少なくとも2つの部分記号列に分割し、分割したものの1つの部分記号列の照合すなわち先頭照合処理を行なった結果、該部分記号列に関する検索条件を満足した検索記号列に対してのみ、残りの部分記号列の照合すなわち後方照合処理を行い、ここで該残りの部分記号列に関する検索条件を満足した場合に該検索記号列が検索されたと判定する記号列検索方法であつて、

先頭照合処理での該部分文字列に関する検索

条件として、特定の記号以外の全ての記号という条件すなわち否定条件を部分記号列の任意位置に設定可能として、先頭照合処理を行なうことを特徴とする記号列検索方法。

2. 請求項1記載の記号列検索方法を用いて、記号列検索を行なう記号列検索装置であつて、少なくとも、

(a) 前記被検索記号列を入力するための第1の外部情報アクセス手段と、

(b) 該第1の外部情報アクセス手段(a)により入力した、前記被検索記号列と、検索記号列の部分記号列との先頭照合処理を行なう先頭照合処理手段と、

(c) 該第1の外部情報アクセス手段(a)により入力した、前記被検索記号列と、検索記号列の部分記号列との後方照合処理を行なう後方照合処理手段と、

(d) 後方照合処理を行なう際に、後方照合処理を制御するデータを格納する、データ格納手段と、

(e) 後方照合処理制御データをデータ格納手段から入力するための、第2の外部情報アクセス手段

を有することを特徴とする記号列検索装置。

3. 請求項2記載の記号列検索装置の、構成要素(a)～(e)のうちの少なくとも2種を、同一チップ上に集積したことを特徴とする半導体集積回路。

4. 請求項2記載の記号列検索装置において、

特許請求範囲第2項記載の記号列検索装置の、

構成要素(a)～(e)のうちの少なくとも

(a) 第1の外部情報アクセス手段と、

(e) 第2の外部情報アクセス手段

とを有し、

該第1の外部情報アクセス手段(a)によるアクセスと、該第2の外部情報アクセス手段

(e)によるアクセスとが、独立に行なえるよ

うに構成したことを特徴とする記号列検索装置。

5. 請求項3記載の半導体集積回路において、

特許請求範囲第2項記載の記号列検索装置の、

すが、前記第2の外部情報アクセス手段(e)

による外部情報アクセスよりも、高い頻度で行

なわれるように構成したことを特徴とする半導

体集積回路。

8. 請求項4記載の記号列検索装置において、

前記第1の外部情報アクセス手段(a)によ

る外部情報アクセスが、前記第2の外部情報ア

クセス手段(e)による外部情報アクセスより

も、先立つて行なわれるように構成したことを

特徴とする記号列検索装置。

9. 請求項5記載の半導体集積回路において、

前記構成要素(a)～(e)のうちの少なく

とも前記第1の外部情報アクセス手段(a)と

前記第2の外部情報アクセス手段(e)とを同

一集積回路上に集積し、かつ、前記第1の外部

情報アクセス手段(a)による外部情報アクセ

スが、前記第2の外部情報アクセス手段(e)

による外部情報アクセスよりも、先立つて行

なわれるように構成したことを特徴とする半導

体集積回路。

構成要素(a)～(e)のうちの少なくとも

(a) 第1の外部情報アクセス手段と、

(e) 第2の外部情報アクセス手段

とを同一集積回路上に集積し、

該第1の外部情報アクセス手段(a)による

アクセスと、該第2の外部情報アクセス手段

(e)によるアクセスとが、独立に行なえるよ

うに構成したことを特徴とする半導体集積回路。

6. 請求項4記載の記号列検索装置において、

前記第1の外部情報アクセス手段(a)によ

る外部情報アクセスが、前記第2の外部情報ア

クセス手段(e)による外部情報アクセスより

も、高い頻度で行なわれるように構成したことを

特徴とする記号列検索装置。

7. 請求項5記載の半導体集積回路において、

前記構成要素(a)～(e)のうちの少なく

とも前記第1の外部情報アクセス手段(a)と

前記第2の外部情報アクセス手段(e)とを同

一集積回路上に集積し、かつ、前記第1の外部

情報アクセス手段(a)による外部情報アクセ

10. 請求項3記載の半導体集積回路において、

前記構成要素(a)～(e)のうちの先頭照

合処理手段(b)を含む少なくとも2種を、そ

れぞれ1つ以上同一集積回路上に集積し、かつ、

複数の前記検索記号列、またはそれらの部分記

号列を、該半導体集積回路内部に格納する手段

を有することを特徴とする半導体集積回路。

11. 請求項2記載の記号列検索装置において、

少なくとも、

(f) 入力した被検索記号列をバッファリング

する入力バッファリング手段、

(g) 先頭照合処理を行なうため、予め設定さ

れた複数の検索記号列と、該入力バッファリ

ング手段(f)から送られる被検索記号列と

の照合を並列に行う並列照合手段、

(h) 後方照合処理の際に参照する制御データ

を格納する、状態遷移テーブル、

(i) 後方照合処理を行なうため、前記状態遷

移テーブル(h)と、前記入力バッファリ

ング手段(f)から送られる被検索記号列とに

従つて、有限オートマトンを実行する有限オートマトン実行手段、

(j) 後方照合処理の際に、前記状態遷移テーブル(h)を参照するための状態遷移テーブルアクセス手段、

(k) 前記並列照合手段(g)による先頭照合結果を、前記有限オートマトン実行手段(i)へ伝送するコードに変換するための、コード変換手段、

(l) 前記コード変換手段(k)により生成されたコードと、前記状態遷移テーブル(h)から得られた状態とのいずれを、前記有限オートマトン実行手段(i)へ伝送するのを選択するデータ選択手段、

(m) 前記有限オートマトン実行手段(i)からの検索結果を保持する、出力バッファリング手段、

を有し、

被検索記号列入力に対する、複数の検索記号列の検索処理を行う際に、検索記号列を任意の

(i) 後方照合処理を行なうため、前記状態遷移テーブル(h)と、前記入力バッファリング手段(f)から送られる被検索記号列とに従つて、有限オートマトンを実行する有限オートマトン実行手段、

(j) 後方照合処理の際に、前記状態遷移テーブル(h)を参照するための状態遷移テーブルアクセス手段、

(k) 前記並列照合手段(g)による先頭照合結果を、前記有限オートマトン実行手段(i)へ伝送するコードに変換するための、コード変換手段、

(l) 前記コード変換手段(k)により生成されたコードと、前記状態遷移テーブル(h)から得られた状態とのいずれを、前記有限オートマトン実行手段(i)へ伝送するのを選択するデータ選択手段、

(m) 前記有限オートマトン実行手段(i)からの検索結果を保持する、出力バッファリング手段、

位置で少なくとも2つの部分記号列に分割し、分割したものの1つの部分記号列の先頭照合処理を前記並列照合手段で行い、該部分記号列に関する検索条件を満足した検索記号列に対してのみ、前記有限オートマトン実行手段で残りの部分記号列の後方照合処理を行い、ここで該残りの部分記号列に関する検索条件を満足した場合に、該検索記号列が検索されたとする記号列検索処理を行うことを特徴とする記号列検索装置、

12. 請求項3記載の半導体集積回路において、

少なくとも、

(f) 入力した被検索記号列をバッファリングする入力バッファリング手段、

(g) 先頭照合処理を行なうため、予め設定された複数の検索記号列と、前記入力バッファリング手段(f)から送られる被検索記号列との照合を並列に行う並列照合手段、

(h) 後方照合処理の際に参照する制御データを格納する、状態遷移テーブル、

の各構成要素のうちの少なくとも2種以上の構成要素、若しくは上記(h)を除いた各構成要素のうちの少なくとも2種以上の構成要素を、同一集積回路上に集積したことを特徴とする半導体集積回路、

13. 請求項11記載の記号列検索装置において、

前記記号列検索装置内部へ任意の終了コードを設定する終了コード設定手段と、終了コードを検出する終了コード検出手段とを有し、

前記被検索記号列中に該終了コードを検出することにより、記号列検索処理を終了するように構成したことを特徴とする記号列検索装置、

14. 請求項12記載の半導体集積回路において、

前記半導体集積回路内部へ任意の終了コードを設定する終了コード設定手段と、終了コードを検出する終了コード検出手段とを有し、

前記被検索記号列中に該終了コードを検出することにより、記号列検索処理を終了するように構成したことを特徴とする半導体集積回路、

15. 請求項13記載の記号列検索装置において、

前記終了コード設定手段に設定する複数の記号から形成される終了コードと、被検索記号列との照合の際に、終了コードの有効、無効を少なくとも記号ごとに示すバリッドフラグレジスタを設け、更に該バリッドフラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該バリッドフラグレジスタを参照し、該バリッドフラグレジスタの構成ビットが、セット状態である部分に対応する終了コード中の記号を、被検索記号列との照合の際に有効とし、リセット状態である部分に対応する終了コード中の記号を、被検索記号列との照合の際に無効とすることにより、

該終了コードの任意位置にドントケア(don't care)を設定することを可能としたことを特徴とする記号列検索装置。

16. 請求項14記載の半導体集積回路において、

前記終了コード設定手段に設定する複数の記号から形成される終了コードと、被検索記号列

との照合の際に、終了コードの有効、無効を少なくとも記号ごとに示すバリッドフラグレジスタを設け、更に該バリッドフラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該バリッドフラグレジスタを参照し、該バリッドフラグレジスタの構成ビットが、セット状態である部分に対応する終了コード中の記号を、被検索記号列との照合の際に有効とし、リセット状態である部分に対応する終了コード中の記号を、被検索記号列との照合の際に無効とすることにより、

該終了コードの任意位置にドントケアを設定することを可能としたことを特徴とする半導体集積回路。

17. 請求項11記載の記号列検索装置において、

前記並列照合手段と前記有限オートマトン実行手段とが、同一の入力記号に対して並列動作し、処理を行うことを特徴とする記号列検索装置。

18. 請求項12記載の半導体集積回路において、

前記並列照合手段と前記有限オートマトン実行手段とが、同一の入力記号に対して並列動作し、処理を行うことを特徴とする半導体集積回路。

19. 請求項11記載の記号列検索装置において、

前記有限オートマトン実行手段を、CPUを用いて構成したことを特徴とする記号列検索装置。

20. 請求項12記載の半導体集積回路において、

前記有限オートマトン実行手段をCPUを用いて構成し、かつ、該CPUを同一集積回路上に集積したことを特徴とする半導体集積回路。

21. 請求項11記載の記号列検索装置において、

前記並列照合手段を、連想メモリを用いて構成したことを特徴とする記号列検索装置。

22. 請求項12記載の半導体集積回路において、

前記並列照合手段を、連想メモリを用いて構成し、かつ、該CPUを同一集積回路上に集積したことを特徴とする半導体集積回路。

23. 請求項11記載の記号列検索装置において、

前記並列照合手段を、レジスタと比較回路の組合せを複数組用いて構成したことを特徴とする記号列検索装置。

24. 請求項12記載の半導体集積回路において、

前記並列照合手段を、レジスタと比較回路の組合せを複数組用いて構成し、かつ、それらを同一集積回路上に集積したことを特徴とする半導体集積回路。

25. 請求項11記載の記号列検索装置において、

前記並列照合手段内に設定する各検索記号列の部分記号列に、照合の際にその有効、無効を少なくとも記号ごとに示すバリッドフラグレジスタを設け、更に該バリッドフラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該バリッドフラグレジスタを参照し、該バリッドフラグレジスタの構成ビットが、セット状態である部分に対応する部分記号列中の記号を、被検索記号列との照合の際に有効と

し、リセット状態である部分に対応する部分記号列中の記号を、被検索記号列との照合の際に無効とすることにより、

該部分記号列の任意位置にドントケアを設定することを可能としたことを特徴とする記号列検索装置。

26. 請求項12記載の半導体集積回路において、

前記並列照合手段内に設定する各検索記号列の部分記号列に、照合の際にその有効、無効を少なくとも記号ごとに示すバリッドフラグレジスタを設け、更に該バリッドフラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該バリッドフラグレジスタを参照し、該バリッドフラグレジスタの構成ビットが、セット状態である部分に対応する部分記号列中の記号を、被検索記号列との照合の際に有効とし、リセット状態である部分に対応する部分記号列中の記号を、被検索記号列との照合の際に無効とすることにより、

該部分記号列の任意位置に否定条件を設定することを可能としたことを特徴とする記号列検索装置。

28. 請求項12記載の半導体集積回路において、

前記並列照合手段内に設定する各検索記号列の部分記号列に、設定された記号列をそのまま有効とするのか、あるいは設定された記号列以外の全ての記号列を有効とするのかを、少なくとも記号ごとに示す否定条件フラグレジスタを設け、更に該否定条件フラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該否定条件フラグレジスタを参照し、該否定条件フラグレジスタの構成ビットが、セット状態である部分に対応する部分記号列中の記号は、被検索記号列との照合の際にそのまま有効とし、リセット状態である部分に対応する部分記号列中の記号は、被検索記号列との照合の際に該記号以外の全ての記号が有効であるとする事により、

該部分記号列の任意位置にドントケアを設定することを可能としたことを特徴とする半導体集積回路。

27. 請求項11記載の記号列検索装置において、

前記並列照合手段内に設定する各検索記号列の部分記号列に、設定された記号列をそのまま有効とするのか、あるいは設定された記号列以外の全ての記号列を有効とするのかを、少なくとも記号ごとに示す否定条件フラグレジスタを設け、更に該否定条件フラグレジスタの任意の構成ビットをセットあるいはリセットする手段を有し、

照合の際に該否定条件フラグレジスタを参照し、該否定条件フラグレジスタの構成ビットが、セット状態である部分に対応する部分記号列中の記号は、被検索記号列との照合の際にそのまま有効とし、リセット状態である部分に対応する部分記号列中の記号は、被検索記号列との照合の際に該記号以外の全ての記号が有効であるとする事により、

該部分記号列の任意位置に否定条件を設定することを可能としたことを特徴とする半導体集積回路。

29. 請求項25または27記載の記号列検索装置において、

任意のバリッドフラグレジスタ、否定条件フラグレジスタへのデータ設定を行なうための外部からのコマンドを受け付ける手段、受け付けたコマンドを制御信号および設定データに変換する手段を有し、

外部からのコマンド入力によつて並列比較器内のバリッドフラグレジスタ、否定条件フラグレジスタを設定することを可能としたことを特徴とする記号列検索装置。

30. 請求項26または28記載の半導体集積回路において、

任意のバリッドフラグレジスタ、否定条件フラグレジスタへのデータ設定を行なうための外部からのコマンドを受け付ける手段、受け付けたコマンドを制御信号および設定データに変換



する手段を有し、

外部からのコマンド入力によつて並列比較器内のパリソドフラグレジスタ、否定条件フラグレジスタを設定することを可能としたことを特徴とする半導体集積回路。

31. 請求項25または29記載の記号列検索装置において、

前記並列照合手段に検索記号列の部分記号列内のすべての記号をドントケアに設定した場合、すべての入力記号に対して該並列照合手段が不一致の判定をする手段を設けたことを特徴とする記号列検索装置。

32. 請求項26または30記載の半導体集積回路において、

前記並列照合手段に検索記号列の部分記号列内のすべての記号をドントケアに設定した場合、すべての入力記号に対して該並列照合手段が不一致の判定をする手段を同一集積回路上に集積したことを特徴とする半導体集積回路。

33. 請求項11記載の記号列検索装置において、

れた該検索記号列の少なくとも一つが検索条件を満足する場合、これを検出する手段を同一集積回路上に集積したことを特徴とする半導体集積回路。

37. 請求項27または29記載の記号列検索装置において、

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定された該検索記号列の少なくとも一つが検索条件を満足し、かつ該検索条件には否定条件設定が含まれている場合、これを検出する手段を設けたことを特徴とする記号列検索装置。

38. 請求項28または30記載の半導体集積回路において、

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定された該検索記号列の少なくとも一つが検索条件を満足し、かつ該検索条件には否定条件設定が含まれている場合、これを検出する手段を同一集積回路上に集積したことを特徴とする半導体

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定された該検索記号列のすべてが検索条件を満足しない場合、これを検出する手段を設けたことを特徴とする記号列検索装置。

34. 請求項12記載の半導体集積回路において、

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定された該検索記号列のすべてが検索条件を満足しない場合、これを検出する手段を同一集積回路上に集積したことを特徴とする半導体集積回路。

35. 請求項11記載の記号列検索装置において、

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定された該検索記号列の少なくとも一つが検索条件を満足する場合、これを検出する手段を設けたことを特徴とする記号列検索装置。

36. 請求項12記載の半導体集積回路において、

前記並列照合手段に設定された複数の検索記号列と、被検索記号列との照合の結果、設定さ

集積回路。

39. 請求項第11記載の記号列検索装置において、更に、

(n) 前記有限オートマトン実行手段(i)から検索結果が出力される際に、その一部として該検索結果に付加する情報格納する付加情報格納手段。

(o) 前記付加情報格納手段(n)の内容を設定する手段。

を有し、

該検索結果を保持する前記出力バッファリング手段(m)に出力される該検索結果に、予め任意に設定可能な情報を、付加することができるよう構成したことを特徴とする記号列検索装置。

40. 請求項12記載の半導体集積回路において、更に、

(n) 前記有限オートマトン実行手段(i)から検索結果が出力される際に、その一部として該検索結果に付加する情報を格納する付加

情報格納手段、

(o) 前記付加情報格納手段(n)の内容を設定する手段、

を同一集積回路上に集積し、

該検索結果を保持する前記出力バッファリング手段(m)に出力される該検索結果に、予め任意に設定可能な情報を、付加することができるように構成したことを特徴とする半導体集積回路。

41. 請求項12記載の半導体集積回路において、集積回路上に集積された前記並列照合手段は、部分記号列記憶手段およびバリッドフラグレジスタ、否定条件フラグレジスタを有し、かつ、部分記号列設定のための入力ポート、バリッドフラグレジスタ設定のための入力ポート、否定条件フラグレジスタ設定のための入力ポートおよび被検索記号列の入力ポートのうちの少なくとも2つの入力ポートを共有することを特徴とする半導体集積回路。

### 3. 発明の詳細な説明

も検索ノイズとして含まれてしまう。そのため、最終的には検索者が直接本文を読んで文容データを選択しなければならず、検索処理の効率が上がらないという問題があった。更に文容データの増大に伴い、キーワードや分類コードを付加するインデキシングの作業量が増大し、文容データの登録の遅れの原因になっている。また、キーワードや分類コードは時代と共にその意味が変化して陳腐化する場合があり、データベースの最新性維持の困難の原因となっている。

これらの問題を克服するために、文容の本文をスキヤンしつつ、その内容とユーザにより任意に設定されたキーワードとの比較照合を行う方法(以下、フルテキストサーチと呼ぶ)が、提案されている。

このフルテキストサーチを用いた文字列検索システムの一例を第34図に示す。(アール、エル、ハスキン アンド エル、エー、ホラー：“オペレーショナル キャラクタリスティックス オブ ア ハードウェア ベースト パターン マッチ

(装置上の利用分野)

本発明はデータベース、文容ファイリングシステム等の非数値データ処理を含む情報処理システムにおいて、データの高速な検索処理、特に文字列検索による文容データの全文検索に好適な記号列検索方法及びその方法を実現する装置、更に該装置としての半導体集積回路に関する。

(従来の技術)

情報処理システムの記憶容量が年々増大するに従い、文容データに代襲される非数値データを扱う処理の比率が高くなっている。このような背景から、大容量のデータベースから所望の文書やデータを高速に掘れなく検索する処理の重要性が高まりつつある。

従来、文容データの検索においては、キーワードや分類コード等の付加情報を用いる方法が多く取られてきた。しかし、キーワードや分類コードだけでは細かい検索の条件を厳密に表現することは難しく、十分な絞り込みを行いにくい。したがって、この方法では検索者が意図しなかつた文書

ヤー”，エー シー エム トランザクションズ オン データベース システムズ，第8巻，第1号，1983年(R. L. Haskin and L. A. Hollaar: "Operational Characteristics of a Hardware-Based Pattern Matcher", ACM Trans. on Database Systems, Vol. 8, No. 1, 1983)) 文字列検索システム300はホストコンピュータに接続され、検索要求320と検索結果324を通信によりやり取りする。ホストコンピュータから検索要求320が送られると、検索制御手段310はこれを受け付け、解析し、文字列照合手段313と複合条件判別手段314へ検索制御情報321を送る。また、検索制御手段310は記憶装置制御手段311を制御して、文字列記憶手段312に格納されている文字列データ322を文字列照合手段313へ伝送させる。

文字列照合手段313は入力された文字列データ322と、予め検索制御情報321として設定された文字列との照合を行ない、該当する文字列を検出すると、検出情報323を複合条件判別手

段314へ出力する。複合条件判別手段314は、予め検索制御情報321として設定された、検索要求中の文字列間の位相関係等に関する複合条件に、検出情報323が合致するかを調べる。合致する場合には、該当する文番データの識別情報や文番内容を、検索結果324として出力し、これがホストコンピュータへ送られる。

上記文字列照合手段313で行なうフルテキストサーチのひとつに有限オートマトンを用いた方法がある。この方法ではキーワード数によらず1回の本文スキャンで検索を行うことができる。

(エー、ブイ、エーホ アンド エム、ジェイ、コラツシツク：“エフィシエント スtring マツチング”，コミュニケーションズ エー シー エム，第18巻，第6号，1975年(A.V. Aho and H.J.Corasick: “Efficient String Matching”, Comm. ACM, Vol. 18, No. 6, 1975)) この方法は don't care 文字を含む検索、誤り文字を含む検索など様々な曖昧検索も実現することができ、フルテキストサーチに有効な手法である。この有

を示す。

これは状態遷移テーブルの参照頻度の高い部分、すなわちテーブルを格納しているメモリのアクセス頻度の高いデータを、有限オートマトン実行手段と同じチップ上に置く方式である。言い換えれば状態遷移テーブルを階層化して、有限オートマトン実行手段の内部と外部に分割して置くものである。これはある意味では従来のキャッシュメモリの概念のアナロジーのようであるが、照合処理中にデータを異なつた記憶階層間で移動させることがないという点で、キャッシュメモリとは本質的に異なるものである。従つて、照合処理は状態遷移テーブルのアクセス頻度の高い内容を、これと等価になるように並列比較器に設定することにより、検索処理時にはこの並列比較器に設定された部分文字列とテキストデータとの比較だけで、その大部分の処理を行なうことができるようになる。つまり、メモリアクセスなしで大部分の処理が行なえるようになるために処理速度が著しく向上することになる。

限オートマトンを用いたフルテキストサーチを高速度に処理するアルゴリズムやその実現手段については、特開昭63-311530号に記載されている。

ところで、特開昭63-311530号にも記載されているように、従来の有限オートマトンを用いたフルテキストサーチにおいては、各サイクルの状態遷移は常に状態遷移テーブルを参照しつつ行なわれる。一般にこの状態遷移テーブルの容量は大きくなるため、有限オートマトンの実行を制御する半導体装置回路とは別チップのメモリに格納されるのが通常である。このため各サイクル毎にオートマトン実行制御手段から外部へのメモリアクセスが必要となり、処理速度向上の妨げとなつてしまう。

そこで、本発明者らは、先に、検索文字列の照合処理において実行頻度の高い部分を高速化することで、文字列検索のトータルの処理速度を向上させる方式(高速先頭照合方式)を提案して出願済である。(特願平1-150401，平成1年6月15日出願)第35図に、この方式のブロック図

ところで、先に我々が提案した方式においては、並列比較器に設定できるものとしては、部分文字列そのものと、その部分文字列の任意位置に don't care を設定したものだけであつた。しかし実際の照合処理においては、「特定の文字以外の全ての文字を対象とする照合」(否定条件)を行なう場合もある。この例を次に示す。

例えば、指定された検索文字列“大容量”に対して、正常な検索文字列以外に1文字誤りを許容する検索を行なう場合について説明する。すなわち、1文字入れ替わり、1文字挿入、及び1文字脱落を許容する場合である。

ここで、

「(大)以外の全ての文字」を  $\neg(\text{大})$ 、

「(容)以外の全ての文字」を  $\neg(\text{容})$ 、

「(量)以外の全ての文字」を  $\neg(\text{量})$ 、

「任意の1文字(don't care の設定)」を?

で示すことにすると、設定文字列“大容量”に対して1文字誤り許容検索を行なうためには、

K1: 大容量

K<sub>1</sub>: 大容-(登)K<sub>2</sub>: 大-(容) 登K<sub>3</sub>: -(大) 容登K<sub>4</sub>: 大容? 登K<sub>5</sub>: 大? 容登K<sub>6</sub>: 大容K<sub>7</sub>: 大登K<sub>8</sub>: 容登

の8個の文字列を検索しなければならない。これらの文字列をフルテキストサーチにより検索する有限オートマトンを(後述する第4図のように)生成すると、否定条件を含む文字の入力が状態の遷移条件として現れる。(これを排他遷移と呼ぶ。)従つて並列比較器はこの様な条件が検出できなければならない。このように、誤り文字を許容するような曖昧検索を実現するためには、並列比較器に否定条件の設定機能を持たせることが必要となる。

また、否定条件の設定が可能となることによつて不要な検索結果、すなわち、いわゆる検索ノイ

“遷体” → “-(半)遷体”

これにより“非金属”、“半遷体”が検索ノイズとして現れることを防ぐことができる。このような例は他にも等々、多く存在する。従つて否定

“数値処理” → “-(非)数値処理”

“定義語” → “-(未)定義語”

条件の設定が可能となることで、検索ノイズが抑制できることになる。

しかし、従来はこの否定条件の設定機能がないため、1文字誤り許容検索や、ノイズ抑制のための限定検索ができないという問題があつた。

(発明が解決しようとする課題)

オートマトンを用いたフルテキストサーチによる文書検索において、状態遷移テーブルが格納されたメモリとオートマトン実行手段とのデータの入出力頻度を従来よりも低減して処理の高速化を図る方法がある。この方法を実行する際に、検索文字列中に don't care 文字を設定した検索や、検索文字列中に否定条件を設定した誤り許容検索等の、曖昧検索を可能とする半遷体集積回路を提

供することを目的とする。

例えば“金属原子”、“遷体”、という文字を含むテキストをサーチする場合について考える。部分文字列として先頭2文字を並列比較器へ設定するとすれば、“金属”、“遷体”、が設定され、テキストとの照合が行なわれる。しかし、この照合の際に“金属”という部分文字列に対して“非金属”を含むテキストが、あるいは“遷体”という部分文字列に対して“半遷体”を含むテキストが検出されてしまう。これら“非金属”、“半遷体”はそれぞれ設定部分文字列“金属”、“遷体”を内部に含むにもかかわらず、それとは異なつた意味を持つ別の文字列である。検索の目的によつては、これらはフルテキストサーチの際の不要な検索結果、いわゆる検索ノイズとして現れてしまう。

そこで、このような検索ノイズを取り除くためには、否定条件を用いて次のような限定の強い部分文字列の設定を行なえばよい。

“金属” → “-(非)金属”

供することを目的とする。

(課題を解決するための手段)

上記目的を達成するために、文書データ中から探し出すべき複数の文字列(以後、検索文字列と呼ぶ)の一部分を取り出した部分文字列と、文書データを先頭文字から順に並べた文字列(以後、被検索文字列と呼ぶ)との照合を並列に高速処理する並列比較器を、オートマトン実行手段の前段に設けた半遷体集積回路において、この並列比較器に設定する部分文字列の任意位置に don't care の設定を可能とする手段と、否定条件の設定を可能とする手段を設けることにより、高速かつ柔軟性の高い曖昧検索を実現した。

(作用)

第1図に本発明の原理を説明したブロック図と、ここで実行する処理のオートマトンを示す。これらを用いて本発明の作用を説明する。

本発明は第1図(a)に示すように、入力パツファ102を介して取り込む被検索文字列101を、並列比較器10と有限オートマトン実行部

11とに同時に入力する。そして、並列比較部10で、先頭照合オートマトン13に相当する先頭照合処理（分割した検索文字列の先頭部分文字列の照合処理）を行い、後方照合オートマトン14に相当する後方照合処理（分割した検索文字列の残りの部分文字列の照合処理）を有限オートマトン実行部11で行う。各々の処理を行なったのち、検索結果（該当する検索文字列と、それが文書データ中のどここの場所にあつたかを示す位置情報）111を出力バッファ105を介して外部へ出力するものである。また、この処理の際に実行されるオートマトンの概念図を第1図(b)に示す。番号付けされた円は各状態を、内部の数字は状態番号を表わし、円の大きさは各状態への状態遷移頻度の割合を相対的に示している。矢印は状態遷移を表わし、初期状態は0である。

本発明では、並列比較器106に設定する部分文字列の任意位置に don't care の設定を可能とする手段であるバリッドフラグレジスタ400と、否定条件の設定を可能とする手段である否定条件

タ410（以降これらを総称して照合制御レジスタ40と呼ぶ）、コード変換器107、状態コードキュー109、入力セクタ108、オートマトン実行手段104、文字コードバッファ103、状態遷移テーブル110、出力バッファ105、から組成される。

データベース内の文書データは被検索文字列101として1文字単位、あるいは複数文字単位で入力バッファ102へ入力される。被検索文字列101は入力バッファ102でデータ側を変換され、並列比較器106、および入力文字コードバッファ103へ同時に入力される。入力文字コード130のデータ側は被検索文字列のデータ側とは必ずしも一致しない。並列比較器106には、予め検索文字列の先頭部分が部分文字列として格納されており、入力バッファ102から1文字、あるいは複数文字送られるたびに、すべての検索文字列の部分文字列との照合が同時に行われる。この時バリッドフラグレジスタ400、否定条件フラグレジスタ410に設定した条件が、部分文

字列の照合条件として参照される。検索文字列の部分文字列との一致が検出されると、一致信号131がアサートされる。この一致信号はコード変換器107により、各部分文字列が検出されたことを示す状態コード132に変換される。コード変換器107から出力された状態コード132は、セクタ108により選択されて状態コードキュー109に蓄えられる（以後、現状態と呼ぶ）。

並列比較器106での先頭照合処理の際には、これらを参照して処理を行なう。これにより、先頭照合処理における柔軟性を高めることができるので、並列比較器10においても、有限オートマトン実行部11と同様な1文字誤り検索や限定検索等、より高度な意味検索を実現することが可能となる。また、部分文字列を消去、再書き込みすることなく、don't care 設定手段や否定条件設定手段のみの操作で検索文字列の検索、回復を行なうことや、部分文字列の幅長を可変にすることも同時に可能となる。

#### 〔実施例〕

以下、本発明の実施例について説明する。

本発明の第1の実施例のブロック図を第2図に示す。

本実施例は、

入力バッファ102、並列比較器106、バリッドフラグレジスタ400、否定条件フラグレジス

タ410（以降これらを総称して照合制御レジスタ40と呼ぶ）、コード変換器107、状態コードキュー109、入力セクタ108、オートマトン実行手段104、文字コードバッファ103、状態遷移テーブル110、出力バッファ105、から組成される。

データベース内の文書データは被検索文字列101として1文字単位、あるいは複数文字単位で入力バッファ102へ入力される。被検索文字列101は入力バッファ102でデータ側を変換され、並列比較器106、および入力文字コードバッファ103へ同時に入力される。入力文字コード130のデータ側は被検索文字列のデータ側とは必ずしも一致しない。並列比較器106には、予め検索文字列の先頭部分が部分文字列として格納されており、入力バッファ102から1文字、あるいは複数文字送られるたびに、すべての検索文字列の部分文字列との照合が同時に行われる。この時バリッドフラグレジスタ400、否定条件フラグレジスタ410に設定した条件が、部分文

これと文字コードバッファ103内の文字コードデータ135とから状態遷移テーブル110のアクセスアドレス137を生成する。該当アドレスの内容が有限オートマトンの現状態の遷移先138(以後、次状態と呼ぶ)となり、これがセレクト108を通して状態コードギュー109に書き入れられる。この際に現状態コードが処理されると、次の文字コードデータが文字コードバッファ103から取り込まれる。

こうした一連の処理が繰り返される過程で、オートマトンの状態遷移の結果138が検索文字列の検出を示す状態となつた場合に、一致する文字列が検出されたことになる。そしてこれらに対応する検索結果111が出力バッファ105へ書き出される。なお被検索文字列に特定のコードを終了コードとして挿入すると、並列比較器が終了コードを検出して、強制的に検索処理を終了させる。この終了コードは任意のコードを並列比較器内に設定することが可能である。

以上の一連の処理は制御論理ブロックにより制

御される。したがって、各モジュール間のデータバス上のデータ伝送や終了コード検出による処理の強制終了は、制御論理ブロックが制御する。

並列比較器106における部分文字列と被検索文字列101との照合の際に参照される照合制御レジスタ40は、次のような値を有する。

バリッドフラグレジスタ400は、セットすると該当位置の設定文字と入力文字との照合結果をそのまま有効とし、リセットすると該当位置の設定文字と入力文字の照合結果を、入力文字にかかわらず常に一致とするドントケア指定となる。

否定条件フラグレジスタ410は、セットすると該当位置の設定文字と入力文字との照合の際に、両者が一致した場合にイネーブル出力を行ない、両者が不一致の場合にデイスイネーブル出力を行なう。また、リセットすると照合結果の論理が反転し、両者が一致した場合にデイスイネーブル出力を行ない、両者が不一致の場合にイネーブル出力を行なう。

先頭照合方式に加え、これらの照合制御レジス

タ40を備えることで、柔軟性の高い曖昧検索を可能とする高速な照合処理を実現することができる。

次に本発明において実現される曖昧検索について実施例に基づいて説明する。

第3図は検索文字列 K: a b c が与えられ、これについて図々の1文字誤りを許容する曖昧検索を行なう場合の、検索文字列の展開例を示している。ここで、否定条件の設定は“-”で、don't careの設定は“?”で表現している。

展開された検索文字列は、K1が完全一致、K2~K4が1文字入れ替わり、K5~K6が1文字挿入、K7~K9が1文字削除である。これらの全てを検索の対象とする必要がある。

第4図は検索対象である第3図のK1~K9を、被検索文字列から検索するためのオートマトンの一例である。

ここで、番号付けされた円は各状態を表し、内部の数字は状態番号を示している。初期状態は状態0であり、2重円は検索文字列の検出を示す状

態である。2重円の下に記号は、検出される検索文字列に対応した検索文字列識別子である。また、矢印は状態遷移を表しており、矢印の上部に記された文字が入力された場合に状態が遷移する。これ以外の文字が入力された場合、または一部を除き2重円の状態のように、遷移先が記述されていない場合には、すべて初期状態0へ遷移する。

(これをフェイルと呼ぶ。)

本発明においては、検索処理に先立ち検索文字列の部分文字列を並列比較器106へ設定する。また、検索文字列から展開されたオートマトンの状態遷移を制御する制御情報状態遷移テーブル110へも設定する。

ここでは、検索文字列の部分文字列として、オートマトンの先頭部分2文字を設定する場合を例として説明する。

第4図において、オートマトンを2分している点線810は、先頭の2文字を並列比較器に設定する場合のオートマトンの分割位置を示している。したがって、状態2, 9, 13, 18へ至るまで

の遷移は並列比較器106によつて実行され、それ以降の遷移は有限オートマトン実行手段104と状態遷移テーブル110とによつて実行される。分割された後半のオートマトンは、状態2, 9, 13, 18をそれぞれ初期状態とする4つのオートマトンの組合と見ることが出来る。並列比較器106には、状態0から状態2, 9, 13, 18の各々へ至る遷移条件を表わす、すべて2文字に展開した部分文字列が設定される。したがつて、例えば“ab”が入力された場合の状態遷移は0→1→2となる。また、“ac”が入力された場合の状態遷移は0→1→9であり、“a”による状態遷移0→1は“ab”が入力された場合と共通であるが、“c”による遷移により状態9へ分岐遷移することになる。この状態遷移0→1→9は、図中の点線で示したように2文字の連続出現による0→1'→9の状態遷移と見なすことができるため、“ab”とは独立して“ac”という部分文字列を並列比較器に設定すればよいことになる。

定する。バリッドフラグレジスタ400へは、該2文字を設定した箇所に対応するように、各文字ごとに“1”をフラグへセットし、それ以外の使用しない箇所に対応するフラグはリセット(“0”をセット)する。否定条件フラグレジスタ410へは、否定条件が設定されていないことを示す“1”を初期値として設定し、部分文字列として否定条件を伴つて設定すべき文字に対してのみ、該当するフラグをリセット(“0”をセット)する。

したがつて、第5図に示されている部分文字列“ab”, “ac”, “a-b”, “a-o”, “bc”を並列比較器内に設定するためには、第6図に示されているようにそれぞれの項目を設定すればよい。第6図は設定の一例であり、例えば各項目は組合せさえ同じであれば、設定するアドレスはどこでもよい。ただし、複数の部分文字列が同時に検索された場合には、後述する後段のプライオリティーエンコードにより処理される順序が決定される。

第5図は第4図のオートマトンを、並列比較器106と協働照合用に生成されたオートマトンとにより構成した概念図である。並列比較器106からの一致信号がオートマトンを初期状態から遷移させる。以後は状態遷移テーブルに従つて状態遷移し、次々と検索文字列101との比較照合処理を行なつていく。なお状態13の発火は、“a-b”, “a-c”の両者と被検索文字列との照合結果が一致(図中では&で表現)した場合に限られる。

このように全体の処理では、第4図のオートマトンを実行しているのと等価となる。

第6図は第5図における並列比較器での、先頭照合を実現するための部分文字列、及び照合制御レジスタ40の設定の一実施例である。本実施例では並列比較器内106に設定する部分文字列と、バリッドフラグレジスタ400、否定条件フラグレジスタ410へそれぞれ設定するデータを示している。

部分文字列は第5図に示されている2文字を設

第7図に記憶機能を持つメモリ、すなわちCAM(Content Addressable Memory)を用いた並列比較器の実施例を示す。

本実施例では、1ワードを4バイトのCAMレジスタで構成し、全体が16ワード(CAM R0~R15)の構成としている。本実施例は設定モードと、比較モードをもつ。設定モードでは、入力バッファ102に取り込んだ文字列を部分文字列として設定するために、これらを選択的に任意のCAMレジスタへ伝送する。比較モードでは、取り込んだ被検索文字列101を複数の部分文字列と並列照合するために、同時に全てのCAMレジスタへ分配する。個々の部分文字列比較回路の構成は同じなので、添え字0のものを例にして説明を行う。

本実施例は、

並列比較器106へ設定される第1番目の部分文字列を格納するCAMレジスタ(R0)201-0、

該CAMレジスタ(R0)201-0の設定デー

タのバイトごとの有効性を示し、don't care 設定を可能とするバリッドフラグレジスタ(VF0) 400-0。

否定条件の設定を可能とする否定条件フラグレジスタ(EF0) 410-0。

該否定条件フラグレジスタ(VF0) 410-0 がセット("1")されている場合には、該CAMレジスタ(R0) 201-0でのバイトごとの比較照合結果をそのまま有効として出力し、リセット("0")されている場合にはCAMレジスタ(R0) 201-0でのバイトごとの比較照合結果を論理反転して、設定された否定条件に対する比較照合結果を出力する論理回路部411-0と。

該バリッドフラグレジスタ(VF0) 400-0 がセット("1")されている場合には、該CAMレジスタ(R0) 201-0でのバイトごとの否定条件設定に対する比較照合結果を出力する論理回路部411-0の出力を有効とし、リセット("0")されている場合には該論理回路部

410へは、入力バッファ102を介して任意のものにアクセスすることができる。また、個々の専用のデータベースを設ける構成も取りうる。

指定された文字列の検索に必要な部分文字列とバリッドフラグレジスタ400、否定条件フラグレジスタ410の内容を設定した後、部分文字列を全く設定していない不要なCAMレジスタ201に対しては、付随するバリッドフラグレジスタ400をリセットし、無効化する。これにより不要なCAMレジスタでの比較照合処理は論理回路部204によつて常に不一致となり、一致信号はデイスイネーブル固定となる。

以上の初期設定の後に、被検索文字列101が入力バッファ102を介してすべてのCAMレジスタ201へ同時に分配される。個々のCAMレジスタ201は比較モードにしてあるため、分配された入力文字コードとあらかじめ設定されている部分文字列との照合を行う。両者の照合はビット対応に行ない、その結果は1バイトごとに論理積をとつてまとめる。すなわち、8ビットコード

411-0でのバイトごとの比較照合結果を無効として常に"1"を出力するとともにこれらバイトごとの結果を統合する論理回路部203-0と。

部分文字列の全バイトをバリッドフラグレジスタ(VF0) 400-0で無効指定した場合にこれを検出する論理回路部204-0と。

上記論理回路部203-0、204-0の結果である214-0、215-0を統合して部分文字列の最終的な比較照合結果を得る論理回路部205-0、及びその出力である一致信号線(h0) 216-0、

から構成され、この1ワード分のハードウェア16組から、並列比較器106の全体が構成されている。なお、本実施例のCAMレジスタのバイト、ワード構成、およびバリッドフラグレジスタ、否定条件フラグレジスタの構成は、それぞれ容易に拡張可能であり任意のものを取りうる。

CAMレジスタ(R0~R15) 201、バリッドフラグレジスタ(VF0~VF15) 400、否定条件フラグレジスタ(EF0~EF15)

であれば英数字1文字単位で完全一致を検出する。これらの比較照合結果は、まず否定条件フラグレジスタ410の内容を参照して一致、不一致の判定を行ない、次にバリッドフラグレジスタ400の対応ビットと共にバイト比較結果を統合する論理回路部203に入力される。バリッドフラグレジスタ400によつて部分文字列中にdon't care文字の設定されたバイトについては、常に一致を示す値が出力される。そして、これらの出力についてまとめて論理積がとられる。すなわち、部分文字列1語の比較結果215が得られることになる。

一方、上述した論理回路だけでは4バイトすべてを無効に指定すると、どの様な入力文字コードに対しても一致を示してしまう。従つて、同一ワード内のバリッドフラグレジスタ400がすべてリセットされている場合には一致信号が常にデイスイネーブルされる必要がある。このための論理回路を構成するのが、第7図の204、205である。



以上のように本実施例によれば、積読の部分文字列に対して並列に比較照合処理を高速に行うことができるだけでなく、部分文字列の任意の位置に否定条件文字と don't care 文字を設定することができる。また、並列比較器 106 の 1ワード以下の語長であれば、不要部分に don't care 文字の設定、すなわち不要部分のパリッドフラグ 400 をリセットすることにより、バイト単位で任意の長さの部分文字列を設定することも可能となり、柔軟な並列比較照合処理が実現できるという効果が生じる。また、パリッドフラグレジスタ 400 の操作のみで、一度設定した部分文字列の破綻、回復が高速に行えるという効果も生じる。

第8図にCAMレジスタとパリッドフラグレジスタへ部分文字列を設定する際の従来例を示す。検索文字列“my”を設定する場合、“my”をバイト3とバイト2に設定し、バイト1、及びバイト0のブランクを無効とするために、パリッドフラグv3, v2, v1, v0をそれぞれ“1”“1”“0”“0”に設定する。こうすることに

を例として示す。

まず、否定条件を取り除いた部分文字列“ab”をCAMレジスタのバイト3とバイト2に設定する。バイト1、バイト0のブランクを無効とするために、パリッドフラグレジスタへは“1100”を設定する。更に否定条件をバイト2の“b”に付加させるために、否定条件フラグレジスタへは“1011”を設定する。本発明において、これらを設定することで部分文字列と被検索文字列との比較結果をバイト単位で任意に論理反転することができるので、従来は実現できなかった否定条件を含む部分文字列“a→b”の照合を実現することが可能となる。

第11図は、検索された部分文字列に否定条件の設定があることを検出する機能を追加した実施例である。

本実施例では、部分文字列が検索され一致信号線 216-0 が h0=1 となった場合に、否定条件設定フラグレジスタの内容に“0”が少なくとも1つ存在すれば、すなわち部分文字列のどこか

より、検索文字列が設定されていないバイト1とバイト0の照合結果は、常に“1”となるため、バイト3及びバイト2の“my”の照合結果だけで、一致信号線の出力が定まることになる。

しかし本従来例では部分文字列と被検索文字列との一致検出しかできないので、“a→b”のような否定条件を含む部分文字列の照合は不可能である。

第9図は、本発明において第8図と同様の部分文字列を設定する場合の実施例である。検索文字列“my”およびパリッドフラグレジスタ設定データ“1100”をそれぞれ設定する。更にこの場合は否定条件の設定がないので、否定条件設定フラグレジスタEF0へは“1111”を設定し、CAMレジスタにおける照合結果の論理反転は行なわないようにする。

第10図は、本発明における否定条件を含んだ部分文字列の設定の実施例である。第5図において並列比較器内に設定されている部分文字列“a→b”を、部分文字列として実際に設定する場合

に否定条件が設定されていれば、否定条件設定を含む部分文字列が検索されたことを検出する論理回路部 412-0 の出力 413-0 がイネーブルとなる。第11図は第9図と同様に検索文字列“my”を設定する場合の実施例である。この場合には否定条件の設定がないので、否定条件フラグレジスタへは“1111”を設定し、CAMレジスタにおける照合結果の論理反転は行なわないようにする。従つて、否定条件設定を含む部分文字列が検索されたことを検出する論理回路部 412-0 の出力 413-0 は、常にデイスイネーブルとなる。

第12図は第11図の否定条件設定の検出機能を追加した実施例における、否定条件を含んだ部分文字列の設定例である。第10図と同様に“a→b”を部分文字列として実際に設定する場合を例として示す。否定条件フラグレジスタへ“1011”が設定されているので、部分文字列が検索されると否定条件設定を検出する論理回路部 412-0 の出力 413-0 はイネーブルとなる。

第13図はCAMを用いた並列比較器における、終了コード検出手段の実施例である。否定条件フラグレジスタがない点を除けば、構成、終了コードの設定方法、および動作は、並列比較器と同様である。ただし、並列比較器における一致信号が、終了コード検出手段においては終了信号(trn\_sig.) 216-16として制御論理ブロックへと伝達される。

第13図に示したのは、終了コードとして“FFEO”を設定した例である。この終了コードの有効文字数を変更する場合、あるいは全く終了コードを使用しない場合には、バリッドフラグレジスタレジスタ400-16の設定を変えることで対応できる。

第14図はCAMレジスタのかわりに、レジスタ207と比較回路208とを用いた第2の実施例である。

本実施例においては、入力パツファ102に取り込んだ部分文字列を、設定モードにおいて一度レジスタ207に蓄えた後に、比較モードに切り

“my”をバイト3とバイト2に設定し、バイト1、及びバイト0のブランクを無効とするために、バリッドフラグv3, v2, v1, v0をそれぞれ“1”“1”“0”“0”に設定する。こうすることにより、検索文字列が設定されていないバイト1とバイト0の照合結果は、常に“1”となるため、バイト3及びバイト2の“my”の照合結果だけで、一致信号線h0の出力が定まることになる。

第16図は、第14図の並列比較器の第2の実施例の、CAMレジスタのかわりにレジスタと比較回路とを用いた実施例を示したものである。これは第15図と同様の部分文字列を設定する場合を示している。検索文字列“my”およびバリッドフラグレジスタ設定データ“1100”をそれぞれ設定する。更にこの場合は否定条件の設定がないので、否定条件設定フラグレジスタ(EFO) 410-0へは“1111”を設定し、比較回路における照合結果の論理反転は行なわないようにする。

蓄えてレジスタ207と入力パツファ102とから比較回路208へデータを送り比較照合を行う。各比較回路における比較動作は同時に行なわれ、その結果は212として照合結果を統合する論理回路部203へ送られる。バリッドフラグレジスタ400、否定条件フラグレジスタ410の動作、およびこれらを反映した出力信号によるバイトごとの照合結果を統合する論理回路部203、部分文字列の全バイト無効指定を検出する論理回路部204、部分文字列の最終的な照合結果を得る論理回路部205の動作は、第7図の実施例と同様である。すなわち本実施例においても任意の長さの部分文字列を設定することができ、また部分文字列として否定条件を含む文字や、可変長のdon't care文字を設定することも可能で、柔軟な並列比較照合処理を実現できるという効果が見られる。

第15図にレジスタとバリッドフラグレジスタへ部分文字列を設定する際の従来例を示す。第8図と同様に、検索文字列“my”を設定する場合、

第17図は、第14図の並列比較器の第2の実施例における、否定条件を含んだ部分文字列を設定した場合の説明図である。第5図において並列比較器内に設定されている部分文字列“a-b”を、部分文字列として実際に設定する場合を例として示す。

まず、否定条件を取り除いた部分文字列“ab”をレジスタのバイト3とバイト2に設定する。バイト1、バイト0のブランクを無効とするために、バリッドフラグレジスタ(VFO) 400-0へは“1100”を設定する。更に否定条件をバイト2の“b”に付加させるために、否定条件フラグレジスタ(EFO) 410-0へは“1011”を設定する。本発明において、これらを設定することで、従来は実現できなかった否定条件を含む部分文字列“a-b”の照合を実現することが可能となる。

第18図は、並列比較器の第2の実施例に、検索された部分文字列に否定条件の設定があることを検出する機能を追加した実施例である。

本実施例では、部分文字列が検索され一致信号  
 値216-0がh0=1となつた場合に、否定条件  
 設定フラグレジスタ(EF0)410-0の内容  
 に“0”が少なくとも1つ存在すれば、すなわ  
 ち部分文字列のどこかに否定条件が設定されてい  
 れば、否定条件設定を含む部分文字列が検索され  
 たことを検出する論理回路部412-0の出力  
 413-0がイネーブルとなる。本図は第16図  
 と同様に検索文字列“m”を設定する場合を示  
 している。この場合には否定条件の設定がないの  
 で、否定条件フラグレジスタ(EF0)410-0  
 へは“1111”を設定し、比較回路における照  
 合結果の論理反転は行なわないようにする。従つ  
 て否定条件設定を含む部分文字列が検索されたこ  
 とを検出する論理回路部412-0の出力413  
 -0は、常にデイスイネーブルとなる。

第19図は、否定条件設定の検出機能を追加し  
 た第18図の実施例における、否定条件を含んだ  
 部分文字列の設定例を示したものである。第17  
 図と同様に“a→b”を部分文字列として実際に

設定する場合を例として示す。否定条件フラグレ  
 ジスタへ“1011”が設定されているので、部  
 分文字列が検索されると否定条件設定を検出する  
 論理回路部412-0の出力413-0はイネー  
 ブルとなる。

第20図はレジスタと比較回路を用いた並列比  
 較器における、終了コード検出手段の実施例であ  
 る。否定条件フラグレジスタがないことを除けば、  
 構成、終了コードの設定方法、および動作は、レ  
 ジスタと比較回路を用いた並列比較器と同様であ  
 る。ただし、並列比較器における一致信号が、終  
 了コード検出手段においては終了信号(trn\_sig.)  
 216-16として制御論理ブロックへと伝達さ  
 れる。

本図に示したのは、終了コードとして“FFE0”  
 を設定した例である。この終了コードの有効文字  
 数を変更する場合、あるいは全く終了コードを使  
 用しない場合には、バリッドフラグレジスタ400  
 -16の設定を変更することで対応できる。

第21図は部分文字列設定のための入力ポート、

バリッドフラグレジスタ、否定条件フラグレジ  
 スタ設定のための入力ポート、および被検索文字  
 列の入力ポートを共有する構成の第1の実施例であ  
 る。

アクセスモードは、CAMレジスタ201また  
 はバリッドフラグレジスタ400、否定条件フラ  
 グレジスタ410からのデータ読みだし(リード  
 モード)、それらへのデータ書き込み(ライトモ  
 ードまたは設定モード)、および被検索文字列と  
 部分文字列との照合(コンペアモードまたは比較  
 モード)の3種である。データポート150はリ  
 ードモードではデータ出力ポートとして、ライト  
 モードおよびコンペアモードではデータ入力ポ  
 ートとして機能する。またCAMレジスタ201-  
 0~201-15とバリッドフラグレジスタ400  
 -0~400-15、否定条件フラグレジスタ  
 410-0~410-15はアドレス付けされて  
 おり、リードモード、ライトモードにおいてアド  
 レスポート160からのアドレス入力で、デコー  
 ダ161を介して任意のものを選択することがで

きる。

次に各モードでのデータの流れを説明する。

リードモードでは、任意のCAMレジスタ201  
 -0~201-15またはバリッドフラグレジ  
 スタ400-0~400-15、否定条件フラグレ  
 ジスタ410-0~410-15をアドレスで指  
 定し、その内容を出力データバス上へのせ、出力  
 バッファ142のゲートを開けてデータ140を  
 読みだす。

ライトモードでは、入力バッファ102のゲー  
 トを開けてデータを入力データバス上へのせ、任  
 意のCAMレジスタ201-0~201-15ま  
 たはバリッドフラグレジスタ400-0~400  
 -15、否定条件フラグレジスタ410-0~4  
 10-15をアドレスで指定し、その内部へ入力  
 データバス上のデータ130をラッチする。

コンペアモードでは、入力バッファ102のゲ  
 ートを開けてデータ130を入力データバス上へ  
 のせ、特定のCAMレジスタ201-0~201  
 -15やバリッドフラグレジスタ400-0~

400-15、否定条件フラグレジスタ410-0~410-15が選択されることのないようにアドレスを設定して、すべてのCAMレジスタ201-0~201-15へバス上のデータを分配し、ラッチされている部分文字列との照合を行なう。

上記の各モードでポートを共有することにより、半導体集積回路上のパッド数を減少させることができる。従つてチップ面積増大やピン数増加の対策として有効である。

第22図は第21図と同様に、部分文字列設定のための入力ポート、バリッドフラグレジスタ、否定条件フラグレジスタ設定のための入力ポート、および被検索文字列の入力ポートを共有する構成の第2の実施例である。これは第21図のCAMレジスタのかわりに、レジスタと比較回路とを用いて構成したもので、動作及び効果は第21図の実施例と同様で、チップ面積増大やピン数増加の対策として有効である。

第23図にコード変換器107の実施例を示す。

照合処理が行われる。また、並列比較器106で的一致検出状況230を監視する論理の出力232、233は、状態コード231をセレクタ108へ伝送する条件の判断に用いられる。すなわち、少なくとも1つは部分文字列が見つかったことを示すヒット信号233が“1”である場合に、状態コード231はセレクタ108へ伝送される。また、該ヒット信号233とその否定であるノンヒット信号232の論理和は毎サイクル“1”となるので（毎サイクル終了時にリセットされる）、これをタイミング信号としてデータ伝送の同期制御を行なう。

本発明の第2の実施例のブロック図を第24図に示す。

本実施例は第1の実施例（第2図）から状態コードキュー109を取り除いたものであり、被検索文字列101を取り込む入力バッファ102、入力文字コード130と予め設定された複数の部分文字列とを一括照合する並列比較器106、並列比較器内のバリッドフラグレジスタ400、否

本実施例は、

並列比較器106からの一致信号(h0~h15)230を入力信号とし、これを状態コード231に変換するプライオリティーエンコーダ220、やはり一致信号230を入力信号とし、一致信号のすべてがデイスイネーブルであること、すなわち被検索文字列中に部分文字列が全く見つからなかったことを検出する論理221、イネーブルが少なくとも1つはあること、すなわち被検索文字列中にいずれかの部分文字列が見つかったことを検出する論理222、から構成される。

プライオリティーエンコーダ220は一致信号(h0~h15)230に優先度を付けてエンコードするエンコーダで、複数の一致信号がイネーブルとなる場合に、優先度の高いものから一つずつエンコードして状態コード231に変換する。状態コード231は一旦状態コードキュー109に蓄えられ、有限オートマトン実行手段104へ送られる。ここで検索文字列の後半部分との比較

否定条件フラグレジスタ410、並列比較器での比較の結果、検索文字列の部分文字列との一致が検出されたことを知らせる一致信号131を、状態コード132に変換するコード変換器107、有限オートマトン実行手段104へ入力する状態コード134の選択をする入力セレクタ108、オートマトン動作を実現するオートマトン実行手段104、これに入力する文字コード135を蓄える文字コードバッファ103、オートマトンの状態遷移の制御情報格納した状態遷移テーブル110、出力する検索結果111を保持する出力バッファ105から構成される。

本実施例の動作は第1の実施例とほぼ同様である。したがって、第1の実施例と同様に検索文字列の部分文字列の一致が検出されるまで並列比較器のみで処理でき、文字列検索処理の非常に多くの部分をテーブルアクセスなしで比較処理のみで行うことができる。このため検索処理全体の速度を向上させることが可能となる。さらに並列比較

器内の照合制御レジスタによつて、先頭照合処理においても柔軟な照合処理が可能である。

本実施例では、まず並列比較器106で検索文字列の部分文字列との一致検出が行なわれる。一致が検出されると一致信号131は状態コード132に変換されて、セレクトラ108を経て、有限オートマトン実行手段104へ伝送される。そしてこれ以降入力された被検索文字列に対しては、並列比較器106の比較結果は参照せず、有限オートマトン実行手段104と状態遷移テーブル110とで、オートマトンの実行を行なう。セレクトラ108は状態遷移テーブル110からの次状態コード138を選択して、有限オートマトン実行手段104へ伝送する。以上の動作が入力文字コードに対して次々と繰り返され、後方照合が行なわれる。一方検索文字列が検索された場合や、初期状態へ遷移するフェイルが発生した場合には、再び並列比較器106で先頭照合処理が行なわれる。

これらの一連の処理の実行は、並列比較部10

否定条件フラグレジスタ410までは第1の実施例と同様である。しかし有限オートマトン実行手段としてCPU112を用いているため、文字コードバッファ103と状態コードキュー109はCPU112のメモリ空間にマッピングされている。これらの出力は内部バス113に接続され、これを介してCPU112のデータバスへ接続されている。CPU112で実行するオートマトンの制御情報を格納する状態遷移テーブル114へは、アドレスを指定してアクセスする。この結果、テーブルの内容である次状態は内部バス113へ返され、セレクトラ108を経て状態コードキュー109へ送られる。このとき、検索文字列との一致検出を示す状態が得られれば、これに対応する検索結果111がCPU112から内部バス113を介して出力バッファ105へ書き出される。以上の処理において、システム全体の制御、内部バス113の制御、また並列比較器106、状態遷移テーブル114へのデータ設定はCPU112が行なう。

と有限オートマトン実行部11の処理がシーケンシャルに実行されるので、並列度に関しては第1の実施例よりも劣る。しかし、全体に占める先頭照合の処理の比率が高い場合には、本実施例でも十分高速化の効果があり、さらに状態コードキュー109とそれを制御するハードウェア量の削減の効果や、制御方式の簡略化による処理速度向上の効果がある。また制御方式が簡略であるため、並列比較器106や状態遷移テーブル110、各種バッファを独立チップとして切り出して、全体をマルチチップ構成とし、より大規模なシステム構成とすることも容易となる。

本発明の第3の実施例のブロック図を第25図に示す。本実施例は、第1の実施例における有限オートマトン実行手段104としてCPUを利用したものである。

本実施例の構成は、入力バッファ102、文字コードバッファ103、並列比較器106、コード変換器107、入力セレクトラ108、状態コードキュー109、バリッドフラグレジスタ400、

本実施例においても第1の実施例と同様、並列比較器106での部分文字列の比較処理がテーブルアクセスなしで行なえるので、検索処理全体の速度が向上するという効果が得られる。さらに並列比較器内の照合制御レジスタによつて、先頭照合処理においても柔軟な照合処理が可能になるという効果も得られる。

本発明の第4の実施例のブロック図を第26図に示す。本実施例は、第3の実施例における文字コードバッファ103（第25図）と状態コードキュー109（第25図）と状態遷移テーブル114（第25図）をCPU112の管理下にあるメモリ空間に割り付ける構成をとつたものである。

本実施例の構成は、入力バッファ102、並列比較器106、コード変換器107、バリッドフラグレジスタ400、否定条件フラグレジスタ410までは第3の実施例と同様である。しかし第3の実施例における文字コードバッファ103（第25図）を介した内部バス113（第25図）

への接続、入力セクタ108（第25図）と状態コードキュー109（第25図）を介した内部バス113（第25図）への接続が、それぞれ直接、内部バス113へ接続された形になっている。そして文字コードバッファ116と状態コードキュー117は、状態遷移テーブル115を含むメモリ空間内の一部として配置されている。これらは内部バス113を介して、CPU112からアドレス指定によりアクセスすることができる。

被検索文字列101中からの検索文字列の一連の比較照合処理は、第3の実施例と同様に行なわれる。その際の内部バス113の制御は、CPU112が行なう。

本実施例においても第1、第2、第3の実施例と同様、並列比較器106での部分文字列の比較処理がテーブルアクセスなしで行なえるので、検索処理全体の速度が向上するという効果が得られる。さらに並列比較器内の照合制御レジスタによつて、先頭照合処理においても柔軟な照合処理が可能になるという効果も得られる。

可能とすることにより、ユーザプログラマブルにすることができる。このため異なつた処理ごとに、あるいはチップごとに、その内容を任意に設定することが可能である。

従つて本実施例においては、検索結果111のデータフォーマットや内容を任意に設定することが可能であるので、様々なシステム構成やインターフェイスに柔軟に対応することができるという効果が得られる。さらに、本実施例においても第1、第2、第3、第4の実施例と同様、並列比較器106での部分文字列の比較処理がテーブルアクセスなしで行なえるので、検索処理全体の速度が向上するという効果が得られる。さらに並列比較器内の照合制御レジスタによつて、先頭照合処理においても柔軟な照合処理が可能になるという効果も得られる。

第28図は、照合フラグレジスタの設定をコマンドで行なう実施例の構成を示す図である。本実施例は、

照合フラグレジスタ設定コマンド420を取り

本発明の第5の実施例のブロック図を第27図に示す。本実施例は第4の実施例に検索結果参照テーブル118を追加した構成となつている。

検索結果参照テーブル118は、状態遷移テーブル115、文字コードバッファ116、状態コードキュー117と同様にCPU112管理下のメモリ空間内に配置され、CPU112からアドレス指定によりアクセスすることができる。

本実施例においては、比較照合処理により被検索文字列101と検索文字列との一致検出を示す状態が得られた場合に、CPU112が検索結果参照テーブル118の該当アドレスから検索結果111の一部として付加する情報を得て、出力バッファ105へ書き出す。検索結果参照テーブル118には、一連の検索処理の終了を知らせるターミネータや、次段に接続するハードウェアへ渡すための、種々の制御情報も格納されており、これらも必要に応じて出力バッファ105へ書き出される。

検索結果参照テーブル118の内容は書き換え

込むコマンドレジスタ421と、照合フラグレジスタ設定コマンド420を解析するコマンドデコーダ422と、コマンドデコーダ422の出力から、照合フラグレジスタへ設定するデータおよびデータ設定のための制御信号424とを生成する制御回路423とから構成される。

照合フラグレジスタ設定コマンド420は、外部からコマンドレジスタ421へ入力され、更にコマンドデコーダ422に送られて解析される。解析結果に従つて制御回路423で照合フラグレジスタに設定するデータと、設定の際に必要な制御信号を生成する。制御信号は設定データを設定すべき照合フラグレジスタに対して、データラッチのタイミング制御を行なう。

照合フラグレジスタへのデータ設定をコマンド方式とすることによつて、複数のレジスタへ同時にデータを設定することや、複数のレジスタを同時に有効にすることが可能になるという効果が得られる。

第29図は、本発明の第1の実施例に、第28図のコマンド方式での照合フラグレジスタ設定回路を加えた第6の実施例のブロック図である。本実施例では、第1の実施例の効果に加え、複数のレジスタへ同時にデータを設定することや、複数のレジスタを同時に無効にすることが可能になるという効果が得られる。

以下、第30図～第33図は、本発明の第2～第5の実施例に、それぞれ第28図のコマンド方式での照合フラグレジスタ設定回路を加えた第7～第10の実施例のブロック図である。これらの実施例では第2～第5の実施例の効果に加え、複数のレジスタへ同時にデータを設定することや、複数のレジスタを同時に無効にすることが可能になるという効果が得られる。

#### 〔発明の効果〕

本発明によれば、オートマトンを用いたフルテキストサーチによる文書検索の際に、有限オートマトン実行手段の前段に並列比較器を置き先頭照合処理を高速化することで、検索処理速度を向上

させる検索方式において、並列比較器内にパリティドフラグレジスタ以外に否定条件フラグレジスタを設けることにより、語長の異なる部分文字列や、don't care 文字、否定条件文字を含む部分文字列の設定が可能となる。これによつて、オートマトンを用いた高速な検索における部分文字列設定の自由度を向上させ、1文字誤り許容検索や限定検索等の、より柔軟性の高い意味検索を実現できるという効果が得られる。

#### 4. 図面の簡単な説明

第1図(a)、(b)は本発明における有限オートマトンを用いた文字列検索の原理の説明図、第2図は本発明の第1の実施例の構成を示すブロック図、第3図は検索文字列の1文字誤りを許容する展開例の説明図、第4図は第3図の展開された検索文字列を検索するためのオートマトンの説明図、第5図は第3図の検索文字列を検索するための並列比較器と後方照合オートマトンの説明図、第6図は第5図の並列比較器での部分文字列検索を実現するための照合フラグレジスタおよび部分

文字列の設定例の説明図、第7図はCAMを用いた並列比較器の実施例の説明図、第8図は従来のCAMを用いた並列比較器への検索部分文字列の設定の仕方の説明図、第9図は本発明におけるCAMを用いた並列比較器への検索部分文字列の設定の仕方の説明図、第10図は本発明におけるCAMを用いた並列比較器への否定条件を含む検索部分文字列の設定の仕方の説明図、第11図は否定条件を含む検索文字列の検出機能を持つCAMを用いた並列比較器への検索部分文字列の設定の仕方の説明図、第12図は否定条件を含む検索文字列の検出機能を持つCAMを用いた並列比較器への否定条件を含む検索部分文字列の設定の仕方の説明図、第13図はCAMを用いた並列比較器への終了コードの設定の仕方の説明図、第14図はレジスタと比較器を用いた並列比較器の実施例の説明図、第15図は従来のレジスタと比較器を用いた並列比較器への検索部分文字列の設定の仕方の説明図、第16図は本発明におけるレジスタと比較器を用いた並列比較器への検索部分文字列

の設定の仕方の説明図、第17図は本発明におけるレジスタと比較器を用いた並列比較器への否定条件を含む検索部分文字列の設定の仕方の説明図、第18図は否定条件を含む検索文字列の検出機能を持つレジスタと比較器を用いた並列比較器への検索部分文字列の設定の仕方の説明図、第19図は否定条件を含む検索文字列の検出機能を持つレジスタと比較器を用いた並列比較器への否定条件を含む検索部分文字列の設定の仕方の説明図、第20図はレジスタと比較器を用いた並列比較器への終了コードの設定の仕方の説明図、第21図はCAMを用いた並列比較器における部分文字列、パリティドフラグレジスタ、否定条件フラグレジスタの設定ポートと被検索文字列の入力ポートとを共有する実施例の説明図、第22図はレジスタと比較器を用いた並列比較器における部分文字列、パリティドフラグレジスタ、否定条件フラグレジスタの設定ポートと被検索文字列の入力ポートとを共有する実施例の説明図、第23図はコード変換器の実施例の説明図、第24図は本発明の第2の

実施例の構成を示すブロック図、第25図は本発明の第3の実施例の構成を示すブロック図、第26図は本発明の第4の実施例の構成を示すブロック図、第27図は本発明の第5の実施例の構成を示すブロック図、第28図はコマンド方式での照合フラグレジスタ設定回路の説明図、第29図は本発明の第6の実施例の構成を示すブロック図、第30図は本発明の第7の実施例の構成を示すブロック図、第31図は本発明の第8の実施例の構成を示すブロック図、第32図は本発明の第9の実施例の構成を示すブロック図、第33図は本発明の第10の実施例の構成を示すブロック図、第34図は文字列検索システムの説明図、第35図(a)、(b)は本願発明者が先に提案した方式の原理の説明図である。

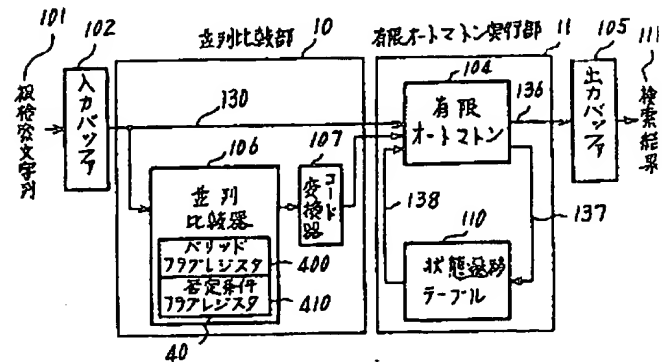
10…並列比較部、11…有限オートマトン実行部、12…有限オートマトン、13…先頭照合オートマトン、14…後方照合オートマトン、40…照合フラグレジスタ、101…被検索文字列、102…入力バッファ、103、116…文字コ

ードバッファ、104…有限オートマトン実行手段、105…出力バッファ、106…並列比較器、107…コード変換器、108…セクタ、109、117…状態コードキュー、110、114、115…状態遷移テーブル、111、136…検索結果、112…CPU、113…内部バス、118…検索結果参照テーブル、130、135…入力文字コード、131…一致信号、132、133、134…状態コード、137…状態遷移テーブルアクセスアドレス、138…遷移先の状態、140…照合フラグレジスタ格納データ、142…出力バッファ、150…データポート、160…アドレスポート、161…アドレスデコーダ、162…照合フラグレジスタ容量込み制御信号、400…バリッドフラグレジスタ、410…否定条件フラグレジスタ、420…照合フラグレジスタ設定コマンド、421…コマンドレジスタ、422…コマンドデコーダ、423…照合フラグレジスタへのデータ設定の制御回路、424…照合フラグレジスタへの設定データと設定制御

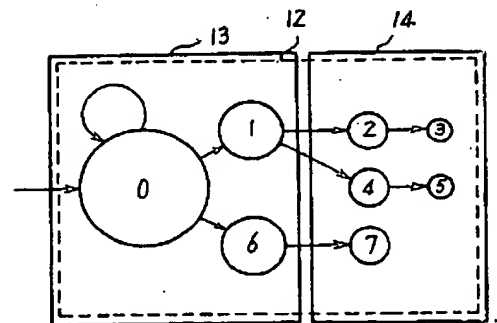
信号、810…オートマトン分割線。

代理人 弁理士 小川 勝

第1図(a)



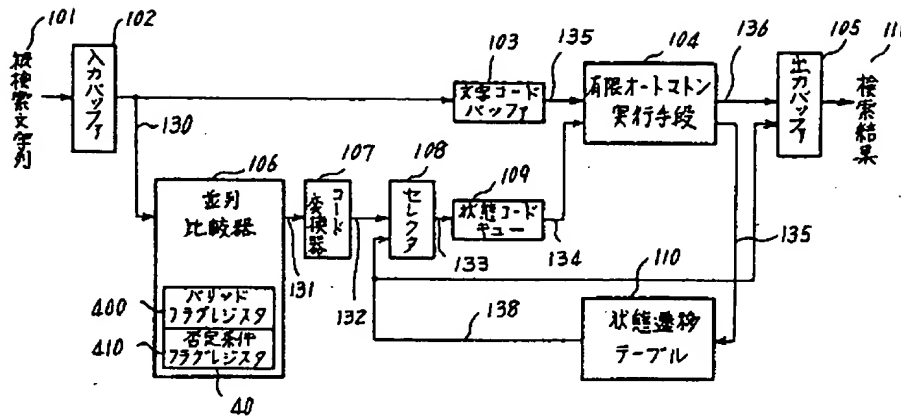
第1図(b)





第 3 図

第 2 図

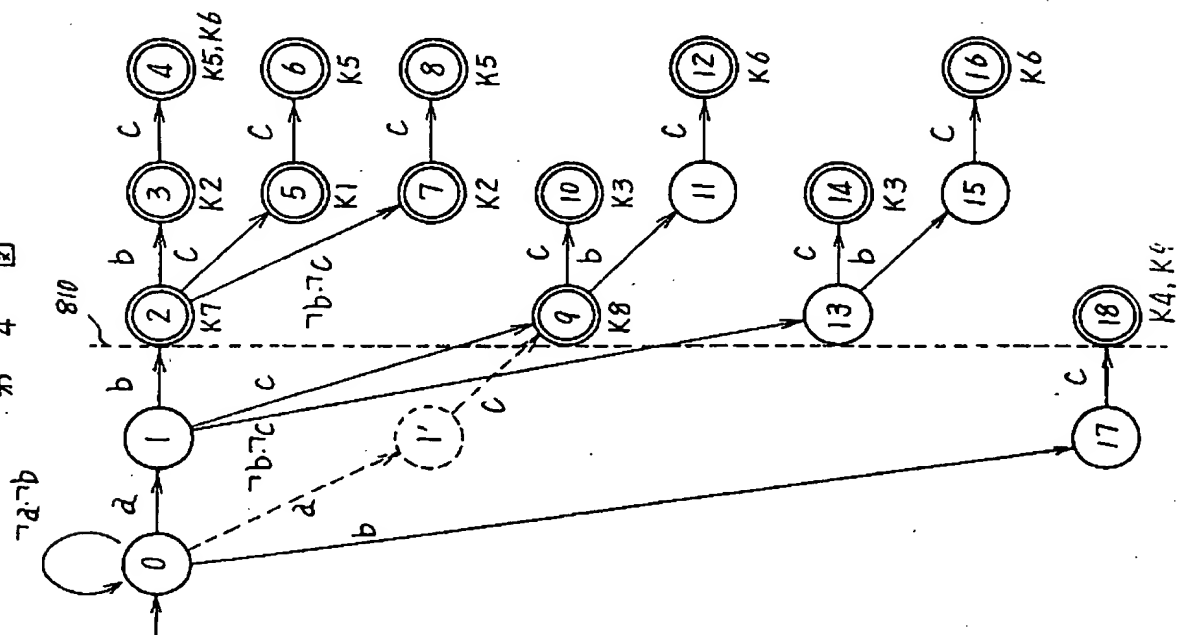


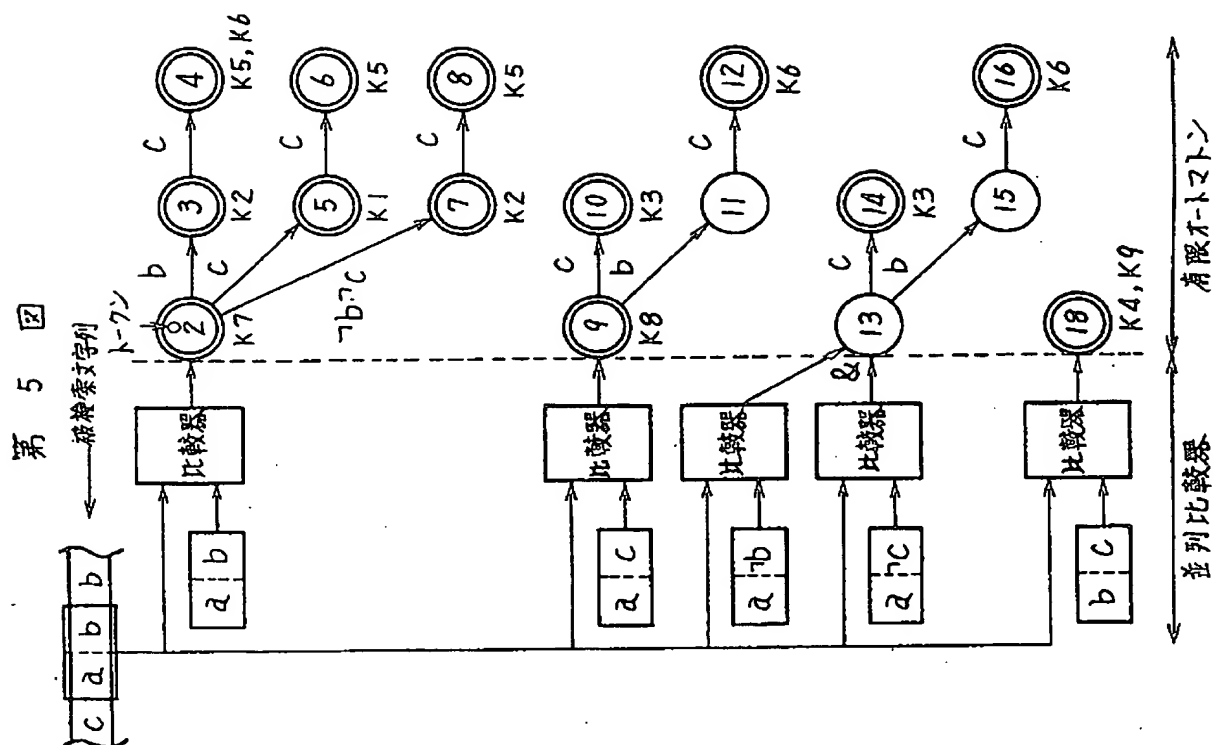
K : a b c

↓

K 1 : a b c  
 K 2 : a b c  
 K 3 : a b c  
 K 4 : a b c  
 K 5 : a b ? c  
 K 6 : a ? b c  
 K 7 : a b  
 K 8 : a c  
 K 9 : b c

第 4 図

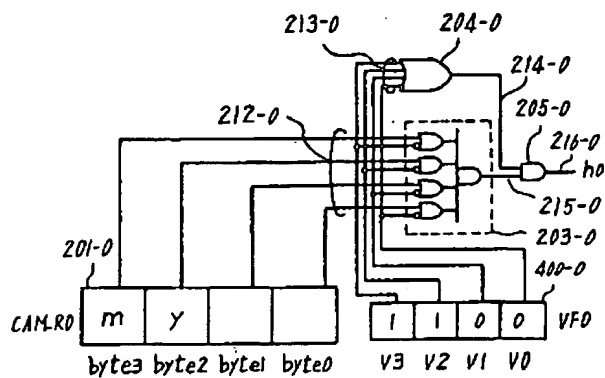




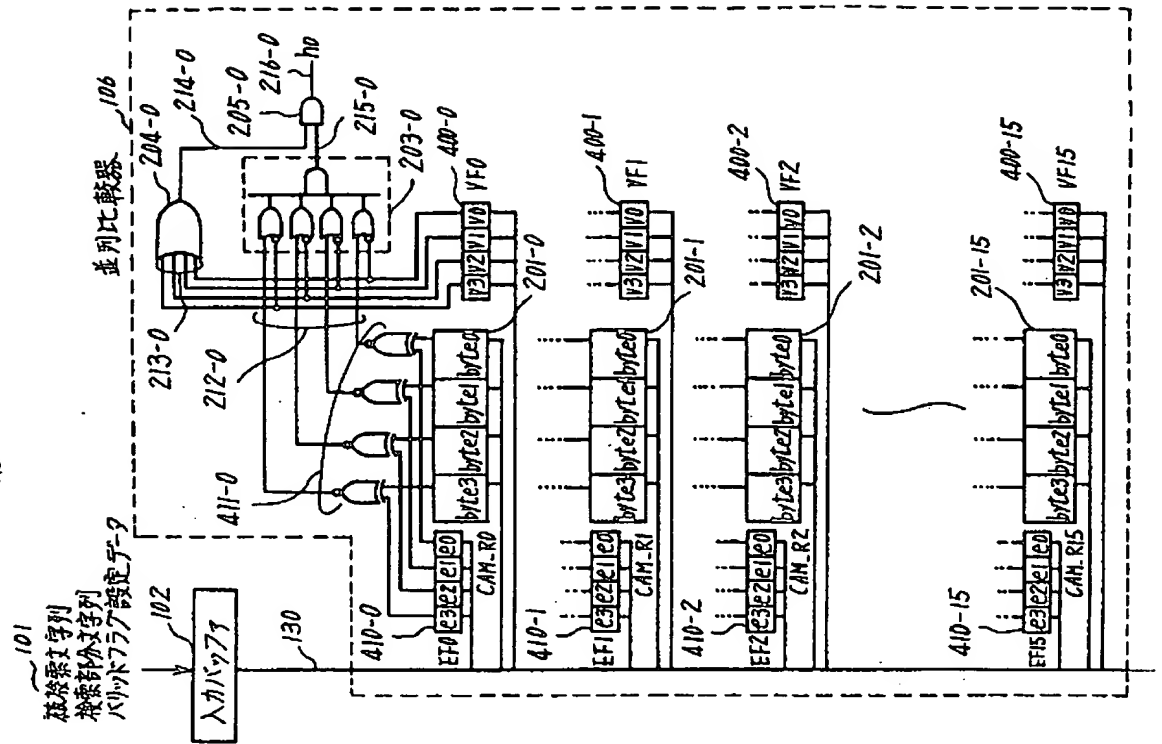
第 6 回

	0	1	2	3	4	5	6	15
パリティフラグレジスタ	111000	111000	111000	111000	111000	010000	000000	010000
否定条件フラグレジスタ	111111	111111	101111	101111	111111	111111	111111	111111
部分文字列	a b c d e f	a b c d e f	a b c d e f	a b c d e f	b c d e f	d e f	e f	f

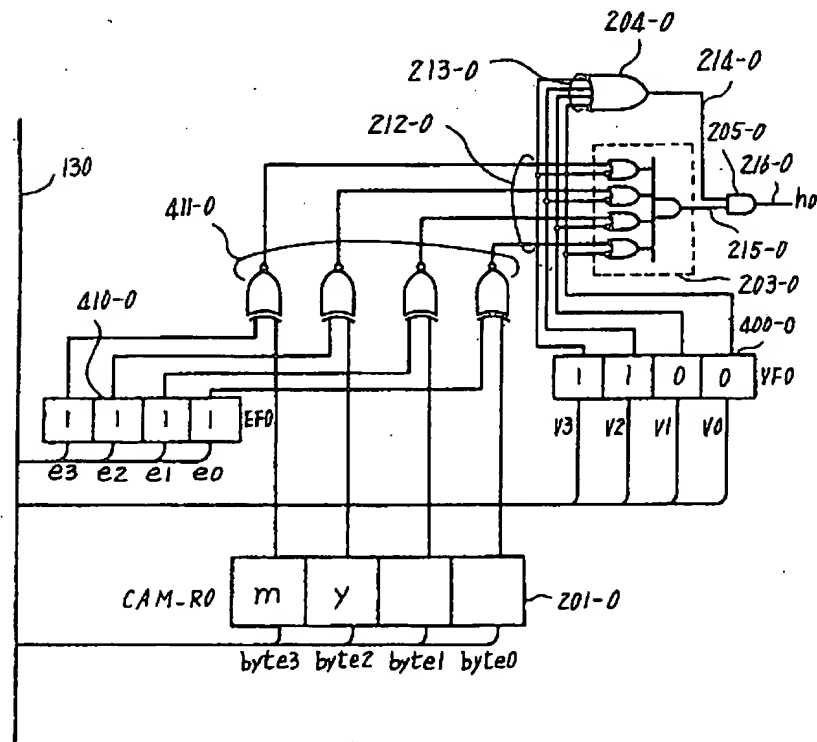
第 8 圖



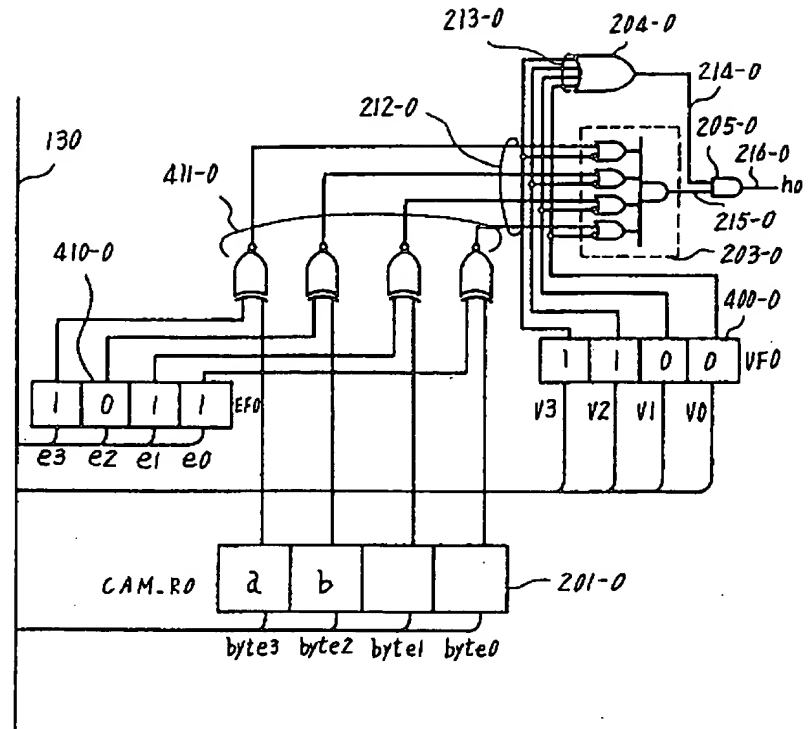
第 7 図



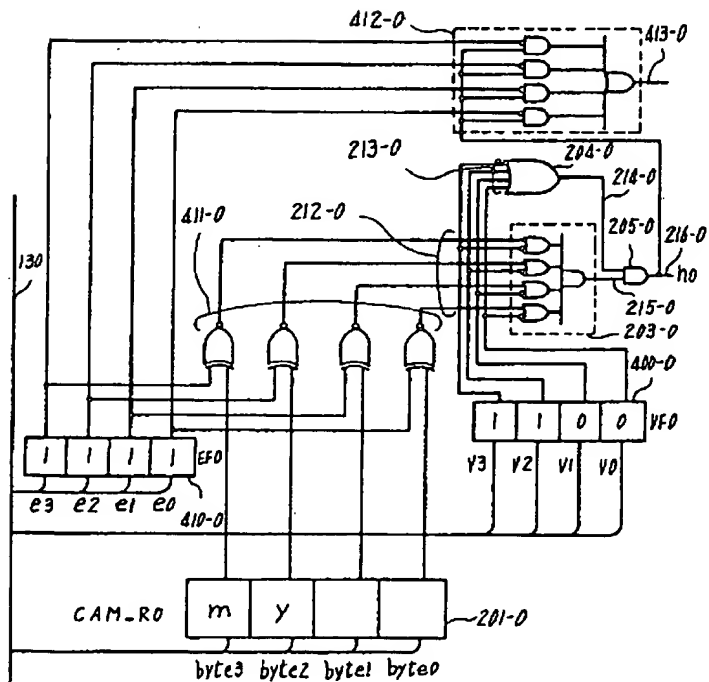
第 9 図



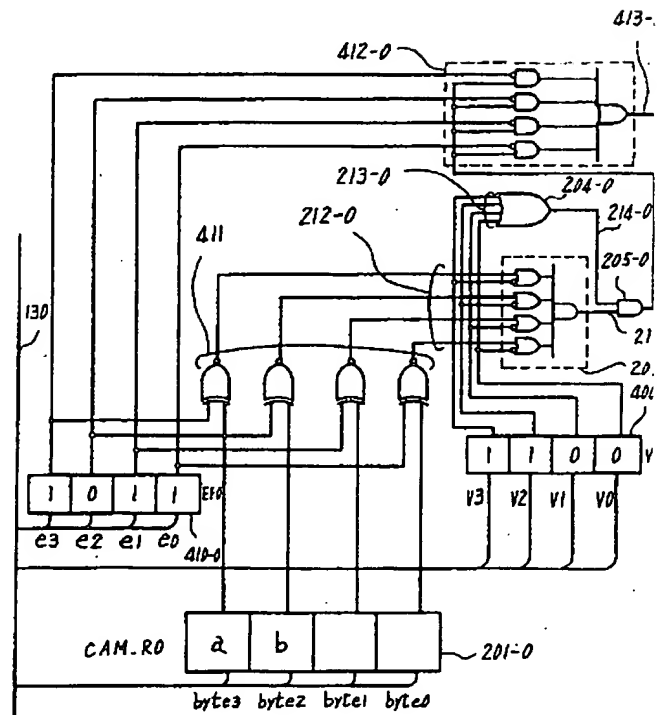
第 10 図



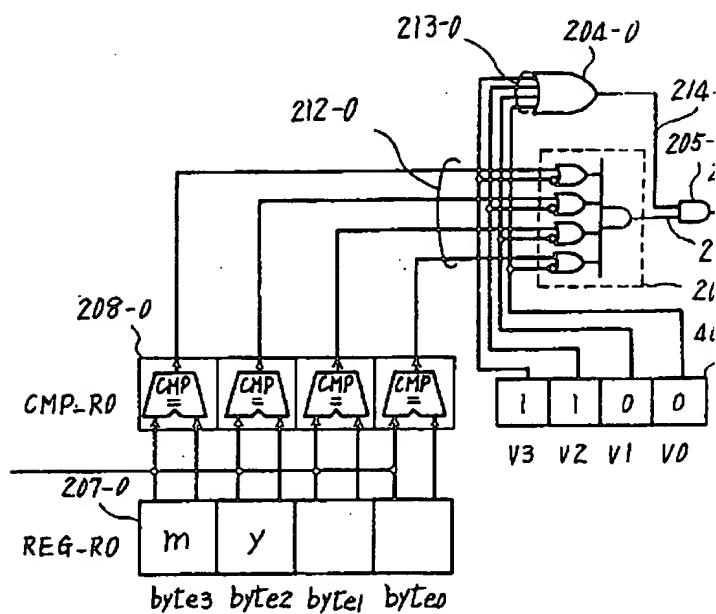
第 11 図



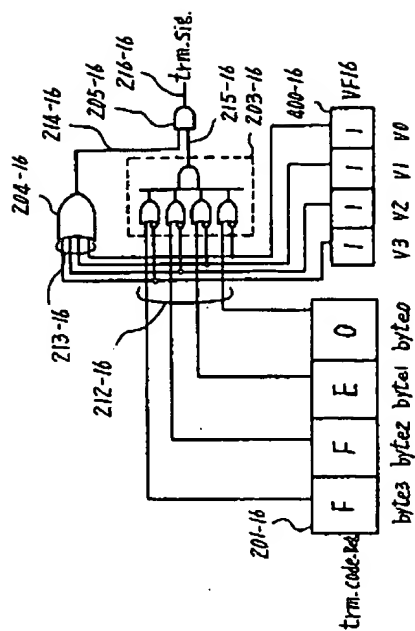
第 12 図



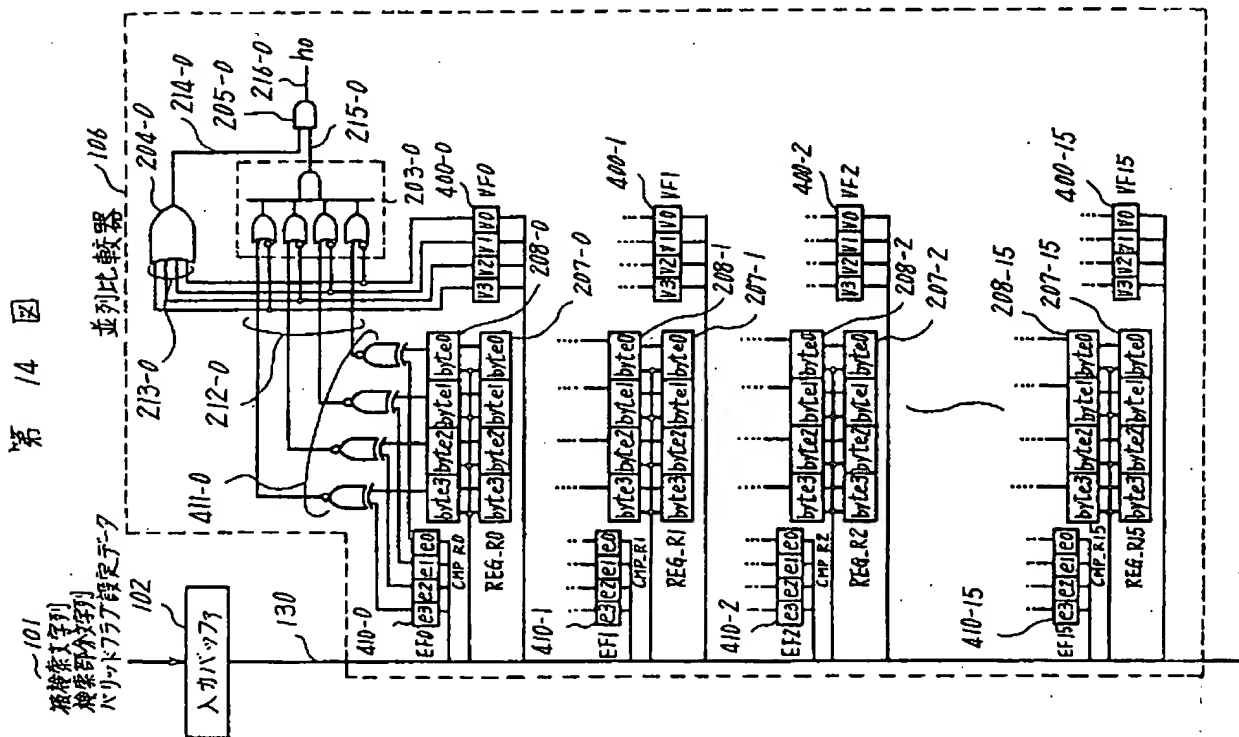
第 15 図



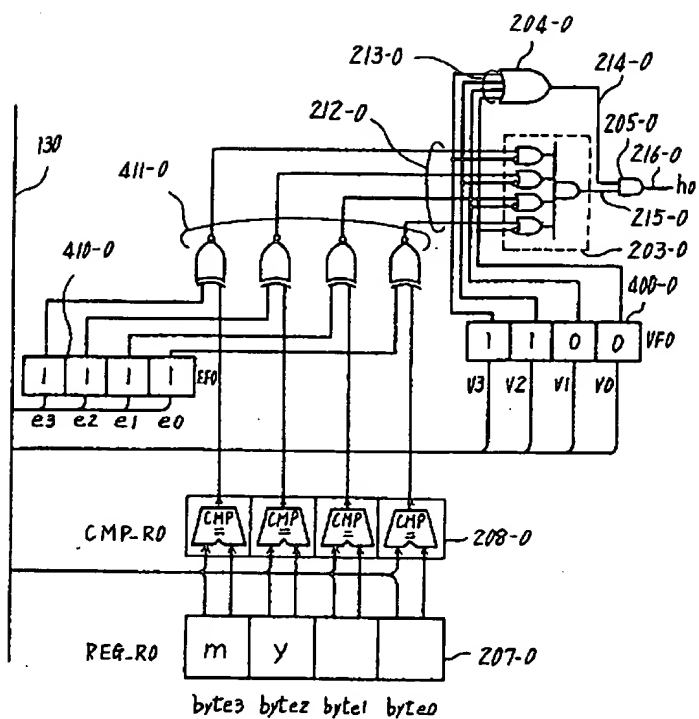
第 13 図



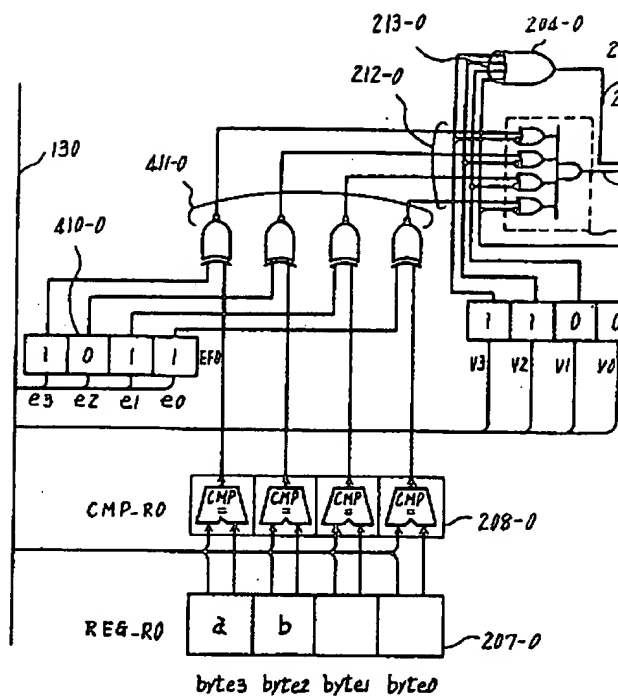
第 14 図



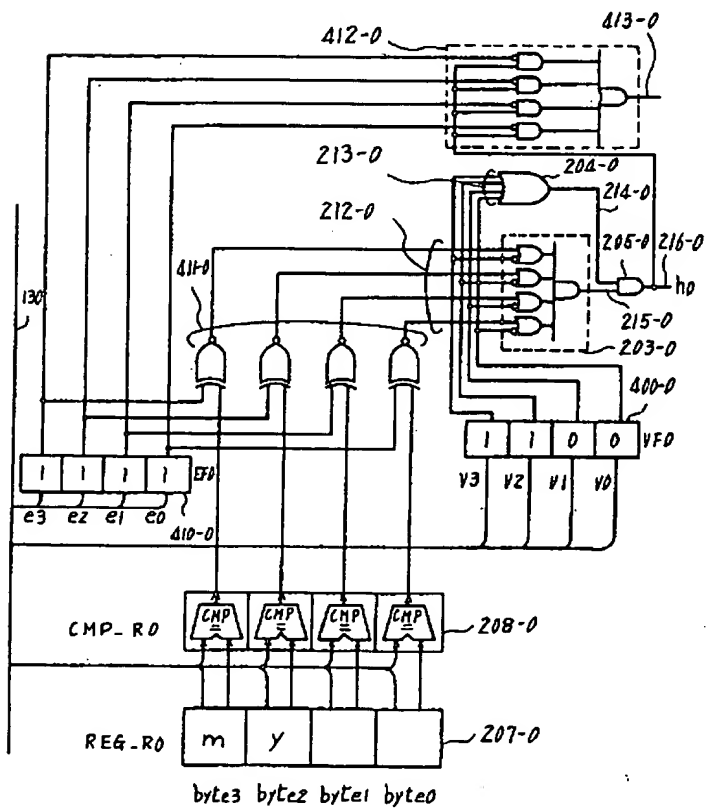
第 16 図



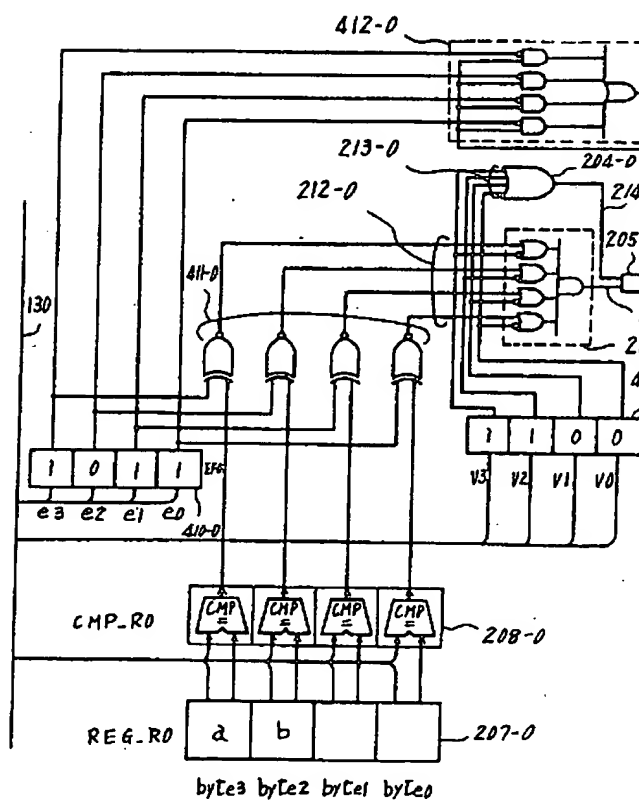
第 17 図



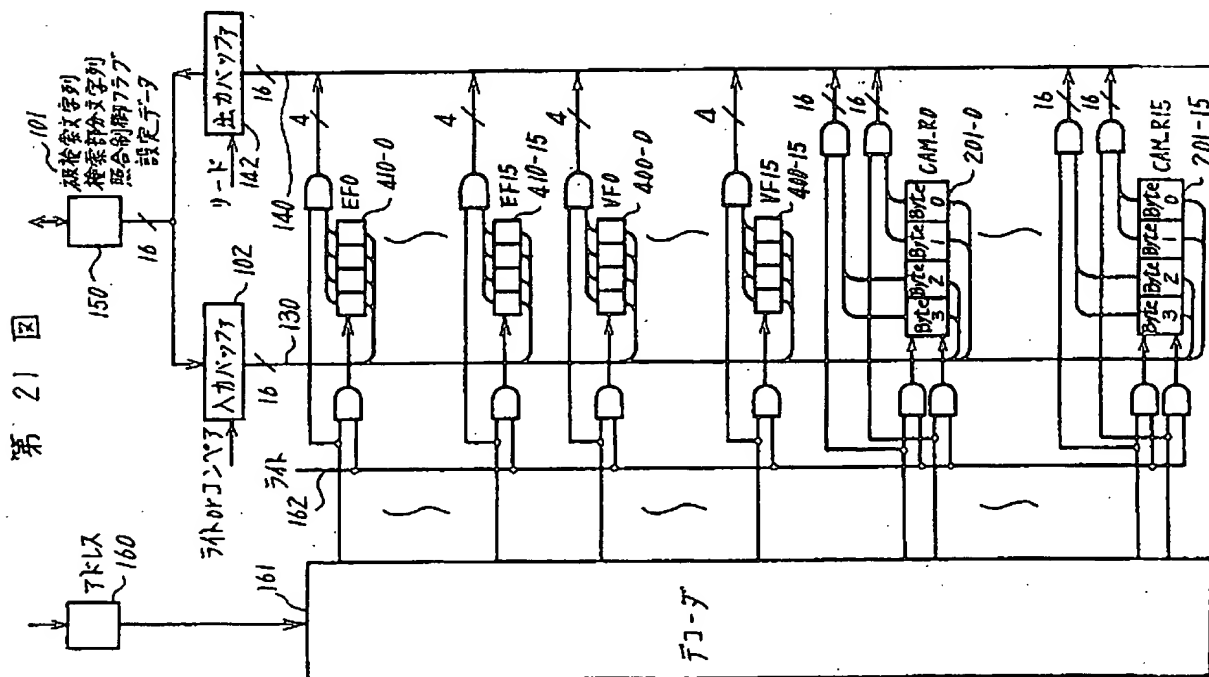
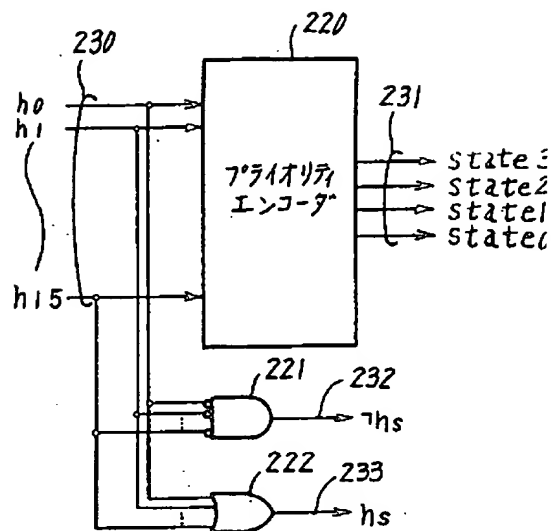
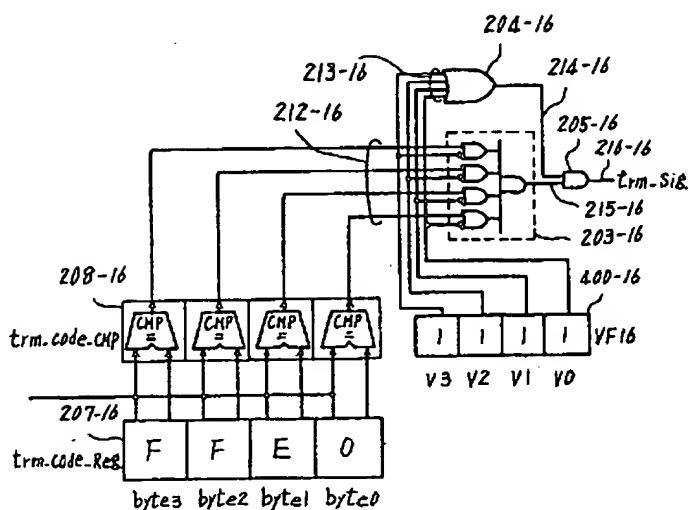
第 18 図



第 19 図



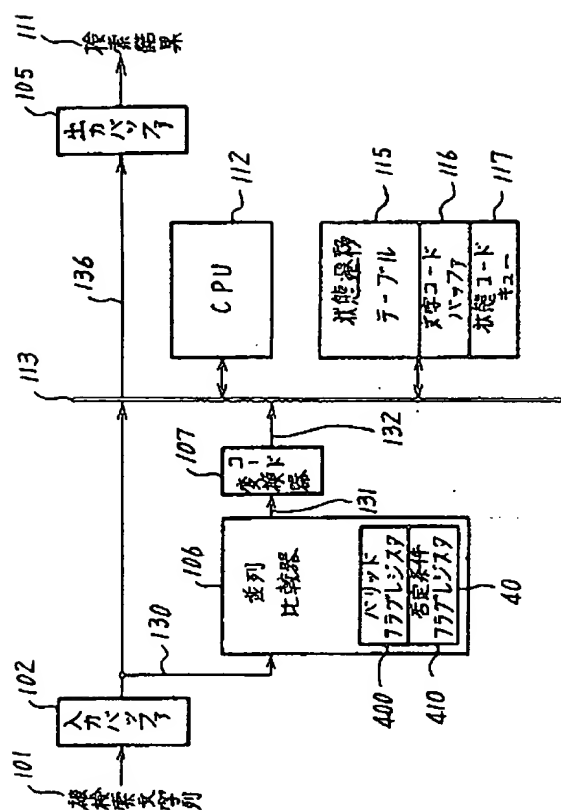
第 23 図



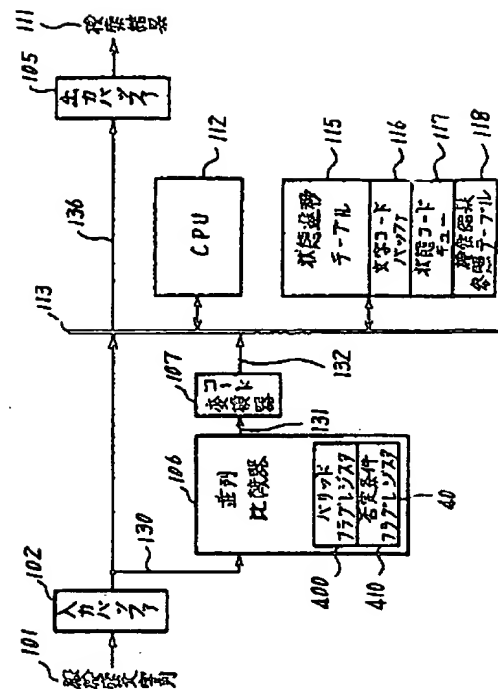




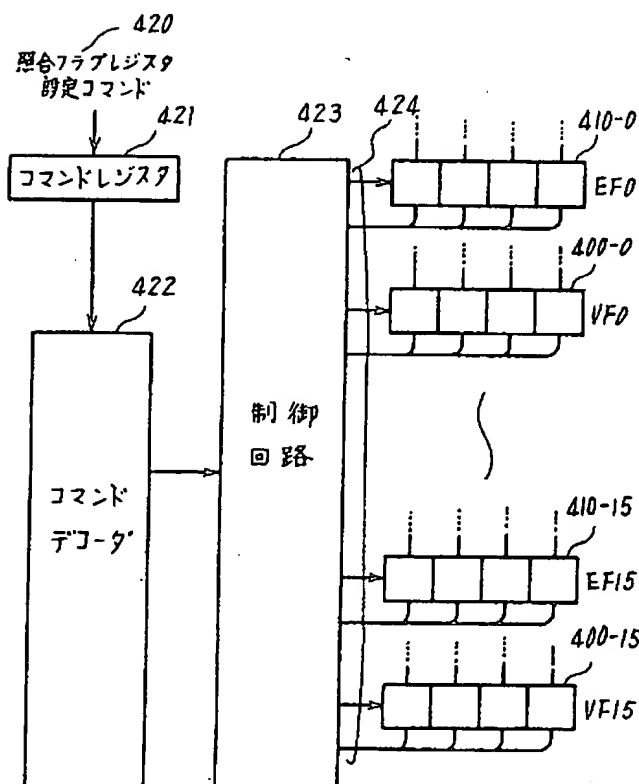
第 26 圖



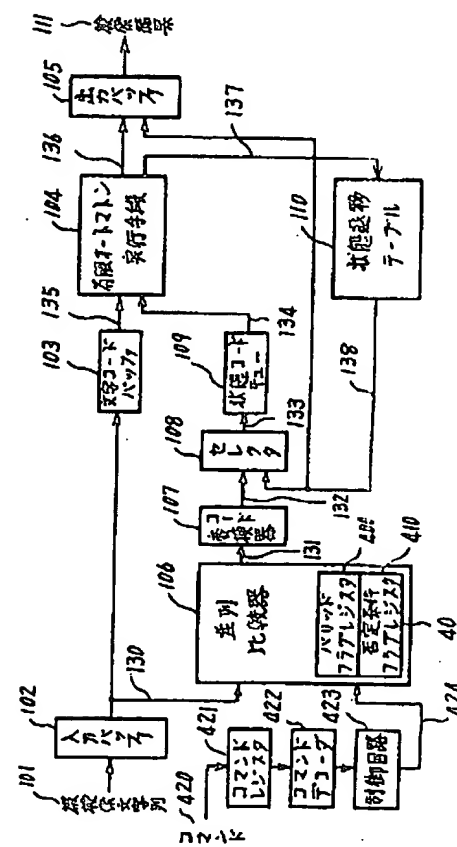
第 27 回



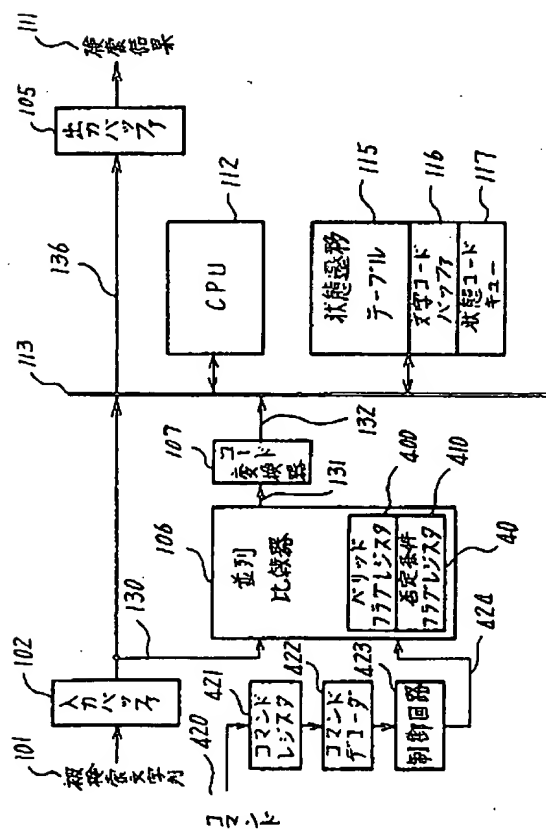
第 28 回



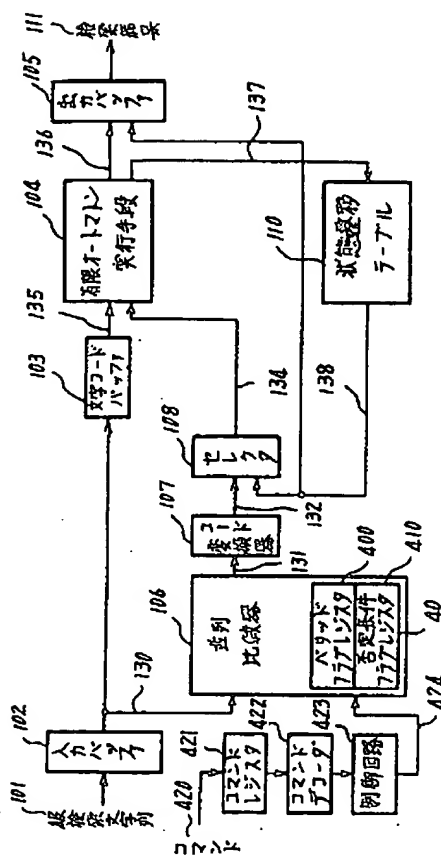
第 29 圖



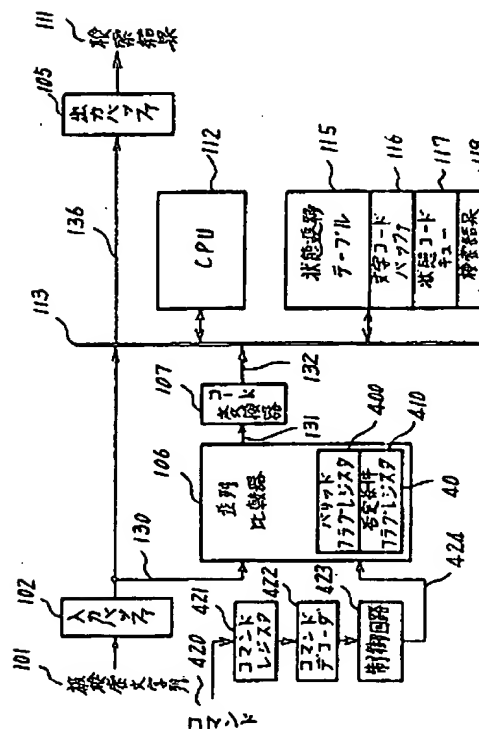
第 32 図



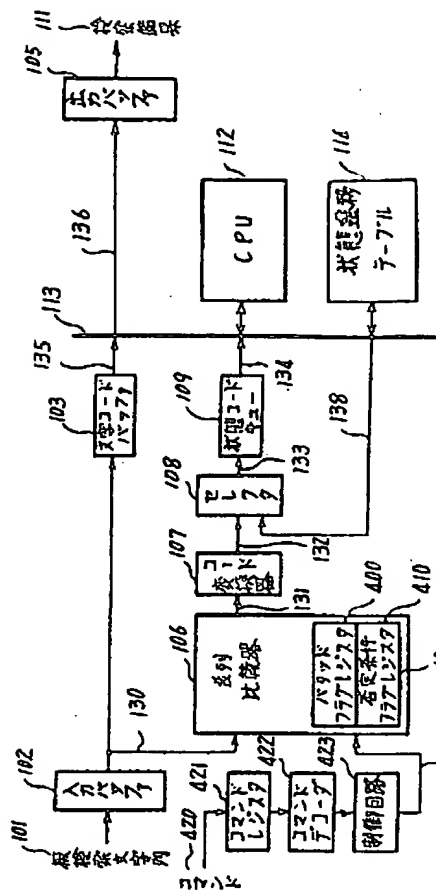
第 30 図



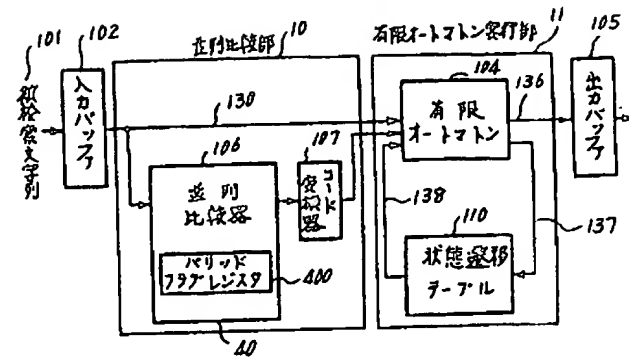
第 33 図



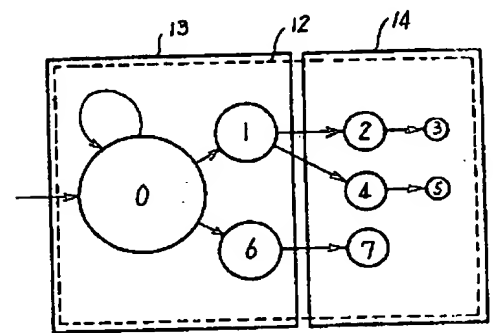
第 31 図



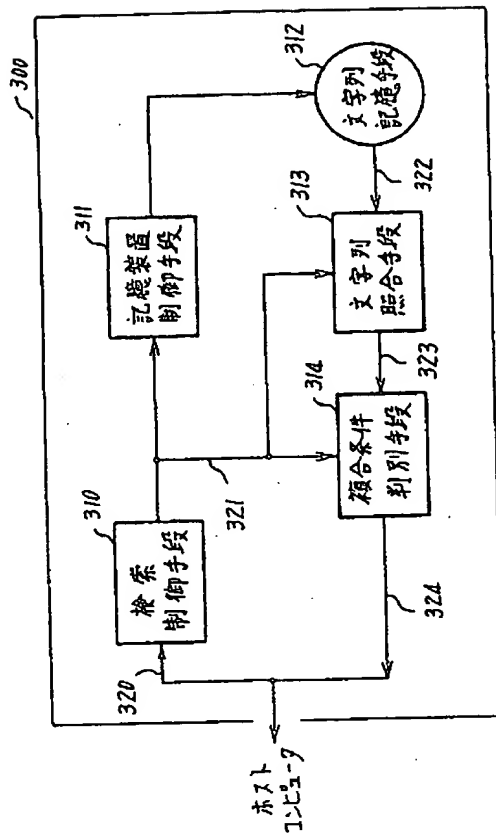
第 35 図 (a)



第 35 図 (b)



第 34 図



第 1 頁の続き

⑦発 明 者 島 山 敦

⑦発 明 者 野 口 孝 樹

⑦発 明 者 藤 沢 浩 道

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内